

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

INVENTOR: Hiroji KAWAI

ATTORNEY DOCKET NO.: 09792909-4785

SERIAL NO.: 09/768,912 GROUP ART UNIT: 2881

FILED: January 24, 2001 EXAMINER: J. MENEFEE

TITLE: "NITRIDE III-V COMPOUND SEMICONDUCTOR DEVICE" (*as amended*)

**EXHIBIT A**  
**CERTIFIED ENGLISH TRANSLATION OF**  
**JAPANESE APPLICATION P09-138451**

RECEIVED  
MAY 15 2002  
TECHNOLOGY CENTER 2800

## IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANT(S): Hiroji KAWAI

SERIAL No.: 09/768,912

Group Art Unit: 2881

FILED: January 24, 2001

Examiner: J. Menefee

INVENTION: NITRIDE III-V COMPOUND SEMICONDUCTOR DEVICE

Hon. Commissioner of Patents and Trademarks,  
Washington, D.C. 20231

SIR:

CERTIFIED TRANSLATION

HIROMI SATO residing at c/o SUGIURA PATENT OFFICE,  
7th floor, Ikebukuro Park Bldg., 49-7, Minami Ikebukuro  
2-chome, Toshima-ku, Tokyo, JAPAN, declares:

(1) that she knows well both the Japanese and English languages;

(2) that she translated Japanese Application 09-138451 from Japanese to English;

(3) that the attached English translation is a true and correct translation of the above-identified Japanese Application to the best of her knowledge and belief; and

(4) that all statements made of her own knowledge are true and that all statements made on information and belief are believed to be true, and further that these statements are made with the knowledge that willful false statements and the like are punishable by fine or imprisonment, or both, under 18 USC 1001, and that such false statements may jeopardize the validity of the application or any patent issuing thereon.

April 24, 2002

Date

Hiromi Sato

Hiromi SATO

[Title of Document] Specification

[Title of the Invention] Semiconductor Device and its  
Manufacturing Method

[Scope of Claims for a Patent]

5 [Claim 1]

A manufacturing method of a semiconductor  
device, comprising the steps of:

making a device using nitride III-V compound  
semiconductors on one major surface of a single-crystal  
10 substrate made of a material different from nitride  
III-V compound semiconductors;

thinning said single-crystal substrate by  
processing the other major surface of said single-  
crystal substrate by lapping using an abrasive liquid  
15 containing an abrasive material of diamond abrasive  
grains and reducing the grain size of said abrasive  
material in plural steps; and

removing a strained layer produced on said  
other major surface of said single-crystal substrate  
20 during said lapping by etching said other major surface  
of said single-crystal substrate after lapping by using  
an etchant containing phosphoric acid or phosphoric  
acid and sulfuric acid as its major component and  
heated to 150 through 450 °C.

25 [Claim 2]

The manufacturing method of a semiconductor  
device according to claim 1 wherein said single-crystal

substrate is thinned to a thickness not larger than 100  $\mu\text{m}$ .

[Claim 3]

5 The manufacturing method of a semiconductor device according to claim 1 wherein the surface of said device made on said one major surface of said single-crystal substrate is covered by a protective film having a resistance to said etchant before said other major surface of said single-crystal substrate is  
10 etched.

[Claim 4]

The manufacturing method of a semiconductor device according to claim 3 wherein said protective film is a silicon oxide film, silicon nitride film or  
15 polyimide film.

[Claim 5]

The manufacturing method of a semiconductor device according to claim 1 wherein said other major surface of said single-crystal substrate is etched by  
20 immersing only said other major surface of said single-crystal substrate into said etchant.

[Claim 6]

The manufacturing method of a semiconductor device according to claim 1 wherein said single-crystal  
25 substrate is a sapphire substrate, spinel substrate, perovskite yttrium aluminate substrate or SiC substrate.

[Claim 7]

A semiconductor device having a single-crystal substrate made of a material different from nitride III-V compound semiconductors, and

5 a device made on one major surface of said single-crystal substrate by using nitride III-V compound semiconductors, comprising:

electrical connection to said device being made through a via hole formed in said single-crystal substrate.

[Claim 8]

The semiconductor device according to claim 7 wherein said single-crystal substrate is a sapphire substrate, spinel substrate, perovskite yttrium aluminate substrate or SiC substrate.

[Claim 9]

A manufacturing method of a semiconductor device having a single-crystal substrate made of a material different from nitride III-V compound semiconductors and

20 a device made on one major surface of said single-crystal substrate by using III-V compound semiconductors, in which

25 electrical connection to said device is made through a via hole formed in said single-crystal substrate, comprising the step of:

forming said via hole by selectively etching

the other major surface of said single-crystal substrate by using an etchant containing as its major component phosphoric acid or phosphoric acid and sulfuric acid heated to 150 through 450 °C.

5 [Claim 10]

The manufacturing method of a semiconductor device according to claim 9 wherein an etching mask made of a first thin film of Cr, Ti or Ni and a second thin film of Pt, Pd or Au thereon is made on said other major surface of said single-crystal substrate, and said via hole is made by etching said other major surface of the single-crystal substrate using said etching mask.

[Claim 11]

15 The manufacturing method of a semiconductor device according to claim 9 wherein said other major surface of said single-crystal substrate is etched by immersing only said other major surface of said single-crystal substrate into said etchant.

20 [Claim 12]

The manufacturing method of a semiconductor device according to claim 9 wherein said single-crystal substrate is a sapphire substrate, spinel substrate, perovskite yttrium aluminate substrate or SiC substrate.

25 [Claim 13]

A manufacturing method of a semiconductor

device having a single-crystal substrate made of a material different from nitride III-V compound semiconductors and

5 a device made on one major surface of said single-crystal substrate by using III-V compound semiconductors, in which

electrical connection to said device is made through a via hole formed in said single-crystal substrate, comprising the steps of:

10 making a hole as deep as 10  $\mu\text{m}$  or more but not reaching said one major surface of said substrate by selectively irradiating laser light having a wavelength not shorter than 6  $\mu\text{m}$  onto the other major surface of said single-crystal substrate; and

15 making said via hole by etching said other major surface of said single-crystal substrate by using an etchant containing as its major component phosphoric acid or phosphoric acid and sulfuric acid heated to 150 through 450  $^{\circ}\text{C}$  so as to make said hole reach said one  
20 major surface.

[Claim 14]

The manufacturing method of a semiconductor device according to claim 13 wherein pulse laser light having the wavelength of 10.6  $\mu\text{m}$  from a  $\text{CO}_2$  laser is  
25 used as said laser light.

[Claim 15]

The manufacturing method of a semiconductor

device according to claim 13 wherein said single-crystal substrate is a sapphire substrate, spinel substrate, perovskite yttrium aluminate substrate or SiC substrate.

5 [Detailed Description of the Invention]

[0001]

[Technical Field to which the Invention belongs]

This invention relates to a semiconductor device and its manufacturing method, and especially those using nitride III-V compound semiconductors such as gallium nitride (GaN).

[0002]

[Prior Art]

Nitride III-V compound semiconductors containing GaN as the major component are direct transitional semiconductors having forbidden band widths ranging from 1.9 eV to 6.2 eV and enabling realization of light emitting devices theoretically capable of emitting light over a wide range from the visible spectrum to the ultraviolet. For these properties, semiconductor light emitting devices using GaN semiconductors have been placed under active developments. Additionally, GaN semiconductors have a large possibility as material of electron mobility devices. Saturation electron velocity of GaN is approximately  $2.0 \times 10^7$  cm/s, which is larger than those of GaAs and SiC, and its breakdown electric field is as

large as approximately  $5 \times 10^6$  V/cm next to the intensity of diamond. For these natures, GaN semiconductors have been expected to be greatly hopeful as materials of high-frequency, high-power semiconductor devices.

5 [0003]

For manufacturing transistor using such a GaN semiconductor, it is necessary to grow the GaN semiconductor by chemical vapor deposition (CVD) or molecular beam epitaxy (MBE), and a sapphire substrate is often used as the substrate therefor. However, although thermal conductivity of GaN at the room temperature is 1.3 W/cmK and larger than thermal conductivity 0.3 W/cmK of GaAs at the room temperature, thermal conductivity of sapphire at the room temperature is 0.4 W/cmK similarly to that of GaAs, and as small as approximately 1/12 when compared with thermal conductivity 4.9 W/cmK of SiC at the room temperature. Therefore, it has been pointed out that a GaN field effect transistor (FET) for a high output power made by growing a GaN semiconductor on a sapphire substrate was especially bad in heat dissipation during operation and was liable to deteriorate in characteristics ((1) Inst. Phys. Conf. Ser. No. 142, 765 (1996)). Therefore, improvement of heat dissipation characteristics is indispensable to ensure a high output power of a GaN FET. On the other hand, for operating the GaN FET at a high frequency its

10

15

20

25

source inductance has to be reduced.

[0004]

As basic technologies for realizing GaAs FETs for higher operative frequencies and higher output power relying reduction of the source inductance, there have conventionally been techniques for thinning a GaAs substrate, and techniques for making a via hole in a GaAs substrate and making electric connection to the source from the bottom surface of the substrate through the via hole. These techniques are summarized below ((2) Fundamentals of GaAs Field Effect Transistors, Denshi Joho Tsushin Gakkai, 1992, p.207; (3) USP 4,015,278; (4) Int. Electron Device Meet., Tech. Dig., 676 (1981)).

[0005]

For thinning a GaAs substrate, first conducted primary lapping using a granular abrasive material of SiC or alumina. Then, by using abrasive grains of a grain size of 1  $\mu\text{m}$  or less of  $\text{CeO}_2$ ,  $\text{ZrO}_2$ ,  $\text{CrO}_2$ , or the like, the substrate is polished on a soft polisher such as synthetic resin or artificial leather to remove processing strain by lapping. As a result, the remainder depth of the processing strain is reduced to 10  $\mu\text{m}$  or less, but additional processing by wet etching may be applied. As to the via hole to be made in the GaAs substrate, since GaAs is readily dissolved by any of sulfuric acid/hydrogen peroxide solution or

alkali solution, wet etching using such solution as the etchant is essentially sufficient for making the via hole. However, since side etching becomes large with wet etching and it is difficult to control the shape of the via hole, reactive ion etching (RIE) or ion milling is used normally. When using RIE for making the via hole, an etching rate as high as 50 to 100  $\mu\text{m/hr}$  can be obtained, and the via hole can be made easily, by using a mixed gas of  $\text{CCl}_2\text{F}_2$  and He as the etching gas and using a silicon oxide ( $\text{SiO}_2$ ) film or an organic resist film as the etching mask. Since GaAs substrates are readily processed either mechanically or chemically as mentioned above, high-frequency operation and high-power output of GaAs FETs have already been realized by thinning the substrate and making the via hole in the substrate.

[0006]

[Subject that the Invention is to solve]

However, it is difficult to employ the technique successfully used in GaAs FETs for thinning the substrate and making the via hole in the substrate also for fabrication of GaN FETs. As referred to above, sapphire substrates are often used for manufacturing GaN FETs. Sapphire, however, is much harder than GaAs, and it is extremely difficult to reduce the thickness of the sapphire substrate by using the above-explained conventional lapping technology.

If it is forcibly thinned by lapping, it will large curve due to a lapping strain to be concave on the major surface side where the device should be made, and it will finally break down. Also regarding the via hole to be made in the sapphire substrate, since sapphire is very stable in chemical property, wet etching cannot be used without any effective etchant. As to dry etching by RIE, since its etching rate is as very low as several  $\mu\text{m/hr}$  in maximum, and there is no etching mask having a selectivity acceptable for selective etching. Therefore, it is actually impossible to make the via hole with any of these methods. So, when making GaN FET on a sapphire substrate, it has been difficult to realize high-frequency operation and high-power output relying on thinning the substrate and making the via hole.

[0007]

The above-made discussion applies to the case where GaN FET is made on a sapphire substrate.

However, the same problem also lies in the case where GaN FET is made on a SiC substrate which is very hard and chemically stable similarly to sapphire substrates.

[0008]

It is therefore an object of the invention to provide a semiconductor device which can be improved for high-frequency operation and/or high-power output by the use of a thinned substrate and/or a via hole in

the substrate even when a device using nitride III-V compound semiconductors is made on a single-crystal substrate such as sapphire substrate or SiC substrate, which is hard and chemically stable, and to provide a manufacturing method capable of easily manufacturing such a semiconductor device.

[0009]

[Means for Solving the Subject]

The Inventor made researches, summarized below, toward overcoming the above-indicated problems involved in the conventional techniques.

[0010]

For thinning a sapphire substrate already having formed a device using GaN semiconductors, there are some problems to solve. One of the problems is to thin the substrate sufficiently, namely to a thickness around 100  $\mu\text{m}$ , for example, decades of  $\mu\text{m}$ , in the process of thinning the sapphire substrate by using lapping or other method, without damaging the device on the surface of the substrate, while minimizing the processing strain and preventing warpage or breakage of the substrate. When using a sapphire substrate, unlike the case using a GaAs substrate, warpage causes difficulties in subsequent processes unless substantially all of the strain in the thinned substrate is removed finally. Another problem is to find out an optimum processing method for making the

via hole in any desired location of the sapphire substrate. Use of molten coral sand around 900 °C and use of molten phosphoric acid around 400 °C are known as methods for wet etching of sapphire. The Inventor made reviews to estimate applicability of these methods as a technique for making the via hole in a sapphire substrate and also to find out possible materials usable as an etching mask in the technique. The Inventor further made researches to find out a new simple method for making the via hole without using the etching mask.

[0011]

When a substrate of a hard material such as sapphire substrate is used, diamond powder is a sole granular abrasive material acceptable for use in lapping. In general, thickness of the layer changed in quality or strained by lapping processing approximately amounts several times the grain size of the abrasive grains used there. Therefore, if the substrate should be thinned to a thickness around 20 nm, for example, since the thickness of the sapphire substrate before being thinned is usually about 400 μm, for thinning it, it is first processes by lapping, using an abrasive liquid containing diamond granular abrasive material with the grain size of 30 μm, for example. In this case, if it is further thinned, then the ratio of the strained layer relative to the remainder substrate will

increase, and a large strain will invite warpage or breakage of the substrate. Then, by using a diamond granular abrasive material with a smaller grain size as large as 10  $\mu\text{m}$ , for example, it is processed by lapping to a thickness around 100  $\mu\text{m}$ , for example. As a result, the strained layer made by the preceding lapping can be removed. However, another strained layer of a thickness of decades of  $\mu\text{m}$  newly appears. Therefore, by next using an abrasive liquid containing a granular abrasive material with a grain size around 1  $\mu\text{m}$ , for example, it is processed by lapping or polishing to a thickness around 40  $\mu\text{m}$ .

[0012]

In case of GaAs substrates, the strained layer produced by lapping has been fully removed conventionally by mechano-chemical polishing. More specifically, it has been known that the strained layer can be removed completely by polishing the substrate in hypochlorous acid solution containing micro soft grains. However, As to sapphire substrates, no polishing in such solution has been known. Then, consideration is made on using the following method. That is, an appropriate amount of sulfuric acid is added to phosphoric acid, and the temperature is held at 280 °C. This liquid has an etching rate around 10  $\mu\text{m/hr}$  for sapphire. High-temperature phosphoric acid has been known to have an etching function of sapphire

(for example, (5) Ceramics Processing Handbook, Kensetsu Sangyo Chosakai (1987)). However, direct exposure of a device to such a high-temperature corrosive solution invites characteristic deterioration of the device and wiring. Therefore, there is the need for a countermeasure to ensure that phosphoric acid never touches the device side. For this purpose, a first effective measure is to bring only the bottom surface into contact with the liquid, and a second effective measure is to make a protective film on the device side. Effective as the protective film are a  $\text{SiO}_2$  film made by CVD, oxide or nitride film such as  $\text{SiN}$  film having a resistance to phosphoric acid, and heat-resistant polyimide film, for example.

[0013]

For making the via hole, dry etching such as conventional RIE cannot be employed. Then, consideration is made on using the following method. That is, as shown in Fig. 1, for example, after growing a GaN semiconductor layer 2 with a thickness of several  $\mu\text{m}$  in total, for example, on the surface of a sapphire substrate 1, and a GaN FET 3 is formed on the GaN semiconductor layer 2. After that, a metal wiring and a pad for the GaN FET 3 are made. Reference numeral 4 denotes a Au pad electrically connected to the source of the GaN FET 3. Thereafter, an inter-layer insulating film 5 such as  $\text{SiO}_2$  film is formed on the

GaN semiconductor layer 2 to cover the Au pad 4.

Subsequently, the sapphire substrate 1 is thinned to a thickness of 100  $\mu\text{m}$  or less, for example to a thickness around decades of  $\mu\text{m}$ . After that, the bottom surface

5 of the sapphire substrate 1 is covered locally at the location for the via hole by a multi-layered etching mask 6 made by stacking metal thin films. Used as the multi-layered film is, for example, a two-layered film stacking a thin film of a metal resistant to phosphoric acid, such as Pt, Au, Pd, or the like, on a thin film  
10 of a metal well adhesive to the sapphire substrate, such as Ni, Cr, Ti, or the like. On the other hand, a protective film of polyimide, for example, is formed on the surface of the inter-layer insulating film 5.

15 Thereafter, the bottom surface side of the sapphire substrate 1 is immersed into an etchant of phosphoric/sulfuric acid solution held at approximately 280 °C, for example, to etch it. In this case, since the etching rate is approximately 10  $\mu\text{m/hr}$ , the etching  
20 time is adjusted depending upon the thickness of the sapphire substrate 1. In this manner, as shown in Fig. 2, the via hole 8 is made in the sapphire substrate 1. Then, next using RIE, part of the GaN semiconductor layer 2 exposed at the bottom of the via hole 8 is  
25 removed by etching to expose the Au pad 4 there. In the process of etching the GaN semiconductor layer 2, if  $\text{Cl}_2$  gas is used as the etching gas, since the

etching rate is 5 to 10  $\mu\text{m/hr}$  and the ratio of the etching rate for Au is approximately 3 or more, a sufficient thickness of the Au pad 4 can be maintained even after etching the GaN semiconductor layer 2 to a slightly over-etching level, if the Au pad 4 originally has a thickness around 1  $\mu\text{m}$  or more. It may occur that the etching mask 6 on the bottom surface of the sapphire substrate 1 is removed while the GaN semiconductor layer 2 is etched by RIE. However, it is immaterial.

[0014]

After that, a metal film thicker than the sapphire substrate 1 is formed on the bottom surface of the sapphire substrate 1 to contact with the Au pad through the via hole 8. When making the metal film, after stacking, in sequence, Ni or Cr and Au on the bottom surface of the sapphire substrate 1 by vacuum evaporation, for example, a Au film with a sufficient thickness, for example, from decades of  $\mu\text{m}$  to hundreds of  $\mu\text{m}$ , is deposited on the metal layers by plating, for example. The thin, plate-like metal film made in this manner makes electric connection with the source of the GaN FET 3 and functions to radiate heat.

[0015]

On the other hand, as an alternative method for making the via hole in the sapphire substrate, there is a method using a pulse laser beam. That is,

sapphire absorbs infrared rays with wavelengths longer than approximately 6  $\mu\text{m}$ . Taking it into account, by irradiating a pulse laser beam from a  $\text{CO}_2$  laser with the wavelength of 10.6  $\mu\text{m}$ , for example, to the sapphire substrate, it is locally heated to a very high temperature to cause ablation of sapphire. This is a technique brought into practical use for scribing alumina substrates. More specifically, by irradiating a single pulse of laser beam with the peak output of 300 W, pulse width of 200  $\mu\text{s}$ , and beam diameter of approximately 100  $\mu\text{m}$ , for example, a hole of a depth around 200  $\mu\text{m}$  can be made in the alumina substrate. Therefore, as shown in Fig. 3, for example, after making a hole with a depth around 50  $\mu\text{m}$ , for example, by irradiating a pulse laser beam 9 from a  $\text{CO}_2$  laser to a desired location on the bottom surface of the sapphire substrate 1 with a thickness around 200  $\mu\text{m}$ , by uniformly etching the location to the depth of about 150  $\mu\text{m}$ , for example, using an etchant of phosphoric acid/sulfuric acid solution heated to a high temperature, the via hole 8 as shown in Fig. 4 can be made. This method is a maskless process, and therefore needs much less steps.

[0016]

Here again explained are merits of thinning sapphire substrates. As shown in Fig. 5, thermal conductivity of sapphire is as small as approximately

0.4 W/cmK at the room temperature and has a large negative gradient relative to temperature, that is, it becomes lower as the temperature rises. In the case where a device using GaN semiconductors on a sapphire substrate, heat from the device during operation moves to the sapphire substrate due to heat conduction. In case of a high-power device, heat is radiated through a heat sink typically made on the bottom surface of the substrate. However, the fact that heat conductivity of sapphire decreases with increase of temperature means that heat radiation becomes difficult as the temperature rises. Therefore, from the viewpoint of heat radiation, it is advantageous that the sapphire substrate supporting the device is as thin as possible, and it is preferable to thin the substrate to the limit within a range acceptable for mechanical strength. By thinning in this level, efficient heat radiation is ensured, and the increase in temperature can be alleviated.

[0017]

The above-made discussion applies to the case where a sapphire substrate is used. However, it is also applicable to the case where other single-crystal substrates like SiC substrate, for example, are used. The Invention has been made taking these researches by the Inventor into account.

[0018]

That is, according to the first aspect of the invention, there is provided a manufacturing method of a semiconductor device, comprising the steps of:

5 making a device using nitride III-V compound semiconductors on one major surface of a single-crystal substrate made of a material different from nitride III-V compound semiconductors;

10 thinning the single-crystal substrate by processing the other major surface of the single-crystal substrate by lapping using an abrasive liquid containing an abrasive material of diamond abrasive grains and reducing the grain size of the abrasive material in plural steps; and

15 removing a strained layer produced on the other major surface of the single-crystal substrate during the lapping by etching the other major surface of the single-crystal substrate after lapping by using an etchant containing phosphoric acid or phosphoric acid and sulfuric acid as its major component and  
20 heated to 150 through 450 °C.

[0019]

In the first aspect of the invention, the single-crystal substrate is thinned typically by lapping to a thickness not larger than 100  $\mu\text{m}$ , or a  
25 thickness not larger than decades of  $\mu\text{m}$ . In order to prevent any damage to the device upon etching for removing a strained layer by lapping, the surface of

the device made on one major surface of the single-crystal substrate is preferably covered by a protective film having a resistance to the etchant prior to the etching. Usable as the protective film are, for  
5 example, a silicon oxide ( $\text{SiO}_2$ ) film, silicon nitride ( $\text{SiN}$ ) film are polyimide film. During the etching, it is preferable to immerse only the other major surface of the single-crystal substrate into the etchant.

[0020]

10 According to the second aspect of the invention, there is provided a semiconductor device having a single-crystal substrate made of a material different from nitride III-V compound semiconductors, and

15 a device made on one major surface of the single-crystal substrate by using III-V compound semiconductors, comprising:

electrical connection to the device being made through a via hole formed in the single-crystal  
20 substrate.

[0021]

According to the third aspect of the invention, there is provided a manufacturing method of a semiconductor device having a single-crystal  
25 substrate made of a material different from nitride III-V compound semiconductors and

a device made on one major surface of the

single-crystal substrate by using III-V compound  
semiconductors, in which

electrical connection to the device is made  
through a via hole formed in the single-crystal  
substrate, comprising the step of:

forming the via hole by selectively etching  
the other major surface of the single-crystal substrate  
by using an etchant containing as its major component  
phosphoric acid or phosphoric acid and sulfuric acid  
heated to 150 through 450 °C.

[0022]

In the third aspect of the invention, an  
etching mask made of a first thin film of Cr, Ti or Ni  
and a second thin film of Pt, Pd or Au thereon is made  
on the other major surface of the single-crystal  
substrate, and the via hole is made by etching the  
single-crystal substrate, using the etching mask.  
During the etching, it is preferable to immerse only  
the other major surface of the single-crystal substrate  
into the etchant.

[0023]

According to the fourth aspect of the  
invention, there is provided a manufacturing method of  
a semiconductor device having a single-crystal  
substrate made of a material different from nitride  
III-V compound semiconductors and

a device made on one major surface of the

single-crystal substrate by using III-V compound semiconductors, in which

electrical connection to the device is made through a via hole formed in the single-crystal substrate, comprising the steps of:

making a hole as deep as 10  $\mu\text{m}$  or more but not reaching one major surface of the substrate by selectively irradiating laser light having a wavelength not shorter than 6  $\mu\text{m}$  onto the other major surface of the single-crystal substrate; and

making the via hole by etching the other major surface of the single-crystal substrate by using an etchant containing as its major component phosphoric acid or phosphoric acid and sulfuric acid heated to 150 through 450  $^{\circ}\text{C}$  so as to make the hole reach the one major surface.

[0024]

In the fourth aspect of the invention, pulse laser light having the wavelength of 10.6  $\mu\text{m}$  from a  $\text{CO}_2$  laser, for example, is used as the laser light.

[0025]

In the invention, the single-crystal substrate is a sapphire substrate, spinel substrate, perovskite yttrium alminate (YAP) substrate or  $\text{SiC}$  substrate, for example.

[0026]

In the present invention, each nitride III-V

compound semiconductor includes at least Ga and N, and may additionally include one or more group III elements selected from the group consisting of Al, In and B and/or one ore more group V elements selected from the group consisting of As and P. Some specific examples of nitride III-V compound semiconductors are GaN, AlGa<sub>N</sub>, GaInN and AlGaInN.

[0027]

According to the first aspect of the invention having the above-summarized construction, since the single-crystal substrate is thinned by lapping of the other major surface of the single-crystal substrate while reducing the grain size of the abrasive material in some steps, the single-crystal substrate can be thinned to a desired thickness without inviting warpage or breakage even if the single-crystal substrate is extremely hard such as sapphire substrate or SiC substrate, while minimizing a strained layer caused by lapping. Then, by etching the other major surface of the thinned single-crystal substrate by using an etchant containing as its major component phosphoric acid of phosphoric acid and sulfuric acid heated to 150 through 450 °C, the strained layer produced on the other major surface of the single-crystal substrate during lapping can be removed.

[0028]

According to the second aspect of the

invention having the above-summarized construction,  
since electrical connection to the device is made  
through the via hole made in the single-crystal  
substrate, if the device is FET, the source inductance  
5 can be reduced.

[0029]

According to the third aspect of the  
invention having the above-summarized construction,  
since the via hole is made by selectively etching the  
10 other major surface of the single-crystal substrate by  
using an etchant containing as its major component  
phosphoric acid or phosphoric acid and sulfuric acid  
heated to 150 through 450 °C, the via hole can be made  
easily in any desired location of the single-crystal  
15 substrate.

[0030]

According to the fourth aspect of the  
invention having the above-summarized construction, by  
selectively irradiating laser light having a wavelength  
20 of 6  $\mu\text{m}$  or more onto the other major surface of the  
single-crystal substrate to make a hole as deep as 10  
 $\mu\text{m}$  and not reaching one major surface, and thereafter  
etching the other major surface of the single-crystal  
substrate by using an etchant containing as its major  
25 component phosphoric acid or phosphoric acid and  
sulfuric acid heated to 150 through 450 °C to make the  
hole reach one major surface of the substrate, the via

hole can be made easily by a maskless process in any desired location of the single-crystal substrate.

[0031]

[Embodiment of the Invention]

5               Explained below are embodiments of the invention with reference to the drawings. In all of the drawings illustrating these embodiments, the same or equivalent components or elements are labeled with common reference numerals.

10              [0032]

Figs. 6 through 10 show a manufacturing method of a GaN FET according to the first embodiment of the invention.

[0033]

15              In the first embodiment, as shown in Fig. 6, a GaN semiconductor layer 22 is first grown on the surface of a sapphire substrate 21, and a GaN FET 23 is made on the GaN semiconductor layer 22. The sapphire substrate 21 is approximately 400  $\mu\text{m}$  thick, for  
20              example, and the GaN semiconductor layer 22 is approximately 4  $\mu\text{m}$  thick, for example. Next formed are a metal wiring and a pad for the GaN FET 23. Reference numeral 24 denotes a Au pad electrically connected to the source of the GaN FET 23. Thereafter, an inter-  
25              layer insulating film 25 such as  $\text{SiO}_2$  film is formed on the GaN semiconductor layer 22 to cover the Au pad 24. Subsequently, a protective film 26 is made on the

inter-layer insulating film 25. A heat-resistant polyimide film with the thickness of 10  $\mu\text{m}$ , for example, is used as the protective film 26. After that, a Si substrate 27 is put on and bonded to the protective film 26. Thickness of the Si substrate 27 is approximately 250  $\mu\text{m}$ , for example. The Si substrate 27 is used to prevent warpage of the sapphire substrate 21 after being thinned by lapping and to have the sapphire substrate 21 be handled easily. Thereafter, a lapping tool 29 is bonded onto the Si substrate 27 via wax 28.

[0034]

Subsequently, the sample is set on a lapping platform in a lapping apparatus, not shown, and lapping of the bottom surface of the sapphire substrate 21 is executed in an abrasive liquid, which may be a water solution containing an abrasive material of diamond abrasive grains with the grain size of 20 to 40  $\mu\text{m}$ . When thickness of the sapphire substrate 21 is reduced to approximately 200  $\mu\text{m}$ , for example, by the lapping, the sample and the lapping platform are washed to remove the abrasive liquid. After that, lapping of the bottom surface of the sapphire substrate 21 is executed in an abrasive liquid, which may be a water solution containing an abrasive material of diamond abrasive grains with a grain size of 5 to 12  $\mu\text{m}$ , for example. When thickness of the sapphire substrate 21 is reduced

to approximately 100  $\mu\text{m}$  for example, by the lapping,  
the lapping process is finished. In this manner, the  
sapphire substrate 21 is thinned to approximately 100  
 $\mu\text{m}$ , as shown in Fig. 7. After that, the sample is  
5 warmed on a hot plate (not shown), the lapping tool 29  
is detached, and the wax 28 is removed.

[0035]

Thereafter, the bottom surface of the  
sapphire substrate 21 thinned to approximately 100  $\mu\text{m}$   
10 in this manner is immersed into an etchant of  
phosphoric acid ( $\text{H}_3\text{PO}_4$ )/sulfuric acid ( $\text{H}_2\text{SO}_4$ ) mixed  
liquid heated to 285  $^{\circ}\text{C}$ , for example, to etch it. This  
etching may be done in the following process.

[0036]

15 That is, as shown in Fig. 8, a Pt container  
31 in form of a Petri dish containing an etchant 32 of  
 $\text{H}_3\text{PO}_4/\text{H}_2\text{SO}_4$  mixed liquid by  $\text{H}_3\text{PO}_4:\text{H}_2\text{SO}_4=1:1$  is put on the  
hot plate 30. The etchant 32 is previously heated to  
an etching temperature by the hot late 30. Thereafter,  
20 held on the etchant 32 is a float cover 33 of a  
doughnut-shaped Pt plate having an outer diameter  
slightly smaller than the diameter of the Pt container  
31 and an inner diameter slightly smaller than the  
diameter of the sapphire substrate 21. At that time,  
25 the float cover 33 is held so that its upper surface be  
in the same level as the liquid surface of the etchant  
32. The float cover 33 is used to prevent evaporation

of moisture from the etchant 32 of  $\text{H}_3\text{PO}_4/\text{H}_2\text{SO}_4$  mixed liquid to thereby maintain composition of  $\text{H}_3\text{PO}_4$  constant, and also to ensure that only the bottom surface of the sapphire substrate 21 contacts the etchant 32. Then, the sapphire substrate 21 is put on the float cover 33 to align its outer circumferential with the inner circumferential edge of the float cover 33. In this state, only the bottom surface of the sapphire substrate 21 contacts the etchant 32. As a result, only the bottom surface of the sapphire substrate 21 is etched, and a strained layer produced by lapping is removed.

[0037]

Next as shown in Fig. 9, after a resist pattern (not shown) having a shape corresponding to the via hole to be made is formed on a location of the bottom surface of the sapphire substrate 21 corresponding to the Au pad 24, a Cr film with the thickness of 20 nm, for example, and a Pt film with the thickness of 0.1  $\mu\text{m}$ , for example, are sequentially made thereon by vacuum evaporation, for example. After that, by lifting, the resist pattern is removed together with the Cr film and Pt film thereon. In this manner, an etching mask 34 made of the Cr/Pt film is obtained. Thereafter, using the etching mask 34, the bottom surface of the sapphire substrate 21 is immersed into the etchant of  $\text{H}_3\text{PO}_4/\text{H}_2\text{SO}_4$  heated to 285  $^{\circ}\text{C}$ , for

example, similarly to the above-explained manner, for approximately 3 hours, for example, to selectively etch the sapphire substrate 21 until exposing the GaN semiconductor layer 22. As a result, a via hole 35 is made in the sapphire substrate 21.

[0038]

Thereafter, the sapphire substrate 21 is introduced into a RIE apparatus, not shown, and the GaN semiconductor layer 22 is selectively removed from the bottom side of the sapphire substrate 21 by etching, using  $\text{Cl}_2$  gas, for example, as the etching gas, and using the sapphire substrate 21 as a mask. In this case, the etching rate may be approximately 10  $\mu\text{m/hr}$ , for example. Then, if the thickness of the GaN semiconductor layer 22 is approximately 4  $\mu\text{m}$ , the GaN semiconductor layer 22 can be removed by etching to expose the Au pad 24 in approximately 25 minutes.

[0039]

Next as shown in Fig. 10, here again, by vacuum evaporation, for example, a 20 nm thick Cr film and a 5  $\mu\text{m}$  thick Au film, for example, are sequentially stacked to form a Cr/Au film 36. Thereafter, a Au film 37 having a thickness as sufficiently thick as approximately 100  $\mu\text{m}$ , for example, is made on the Cr/Au film 36 by plating, for example. The, the protective film 26 of polyimide is removed by using an organic solvent.

[0040]

Through these steps, the GaN FET 23 is completed, which is made on the sapphire substrate 21 thinned to approximately 100  $\mu\text{m}$  and having the thick Au film 37 electrically connected from the substrate bottom side to the Au pad as the source pad through the via hole 35 formed in the sapphire substrate 21.

[0041]

As explained above, according to the first embodiment, after GaN FET 23 is made by growing the GaN semiconductor layer 22 on the surface of the sapphire substrate 1, the bottom surface of the sapphire substrate is removed by lapping to a thickness around 200  $\mu\text{m}$  as the first step by using the abrasive liquid of water solution containing diamond abrasive grains with the grain size of 20 to 40  $\mu\text{m}$ , and it is removed by lapping to the thickness of 100  $\mu\text{m}$  as the second step by using the abrasive liquid of water solution containing diamond abrasive grains with the grains size of 5 to 12  $\mu\text{m}$ . Therefore, the sapphire substrate 21 can be thinned to a thickness around 100  $\mu\text{m}$ , while preventing warpage or breakage of the sapphire substrate 21 by lapping and minimizing the strained layer produced by lapping. Additionally, since the bottom surface of the sapphire substrate 21 is etched after lapping by using the etchant of  $\text{H}_3\text{PO}_4/\text{H}_2\text{SO}_4$  mixed liquid, the strained layer appearing on the bottom of

the sapphire substrate 21 upon lapping can be removed completely. Then, since the thinned sapphire substrate 21 permits heat to be radiated well to the Au film 37 behaving as a heat sink, increase in temperature of the GaN FET 23 can be alleviated remarkably. As a result, increase of the gate leak and decrease of the carrier mobility can be prevented, and high-frequency characteristics of the GaN FET 23 can be maintained even under operation for high-power output. Moreover, since increase in temperature of the GaN FET 23 is greatly alleviated, the device prevents migration at the metal wiring and deterioration of the inter-layer insulating film 25, and its reliability is therefore improved. Furthermore, since the via hole 35 is made in the sapphire substrate 21 from its bottom surface to electrically connect the Au film 37 to the Au pad 24 through the via hole 35, the source inductance is large reduced toward realization of high-frequency operation. For these reasons, the GaN FET 23 with a high frequency, high output power and high performance can be realized. Additionally, because of significant alleviation of increase in temperature of the GaN FET 23, GaN FETs 23 can be densely integrated on the sapphire substrate 21, and it results in further increasing the output of the device.

[0042]

Next explained is a manufacturing method of a

GaN FET according to the second embodiment of the invention.

[0043]

In the second embodiment, in the same manner as the first embodiment, the sapphire substrate 21 is first thinned to approximately 200  $\mu\text{m}$ .

[0044]

Next as shown in Fig. 11, a pulse laser beam 37 of the wavelength 10.6  $\mu\text{m}$  from a  $\text{CO}_2$  laser, for example, is irradiated onto the bottom surface of the thinned sapphire substrate 21 to make a hole 38 having a warhead-like shape, for example, and not reaching the surface of the sapphire substrate 21. Used as the pulse laser beam 37 is one having the leading output of 150 W, pulse width of 200  $\mu\text{s}$  and the beam diameter of approximately 100  $\mu\text{m}$ , for example. By irradiating a single pulse of the pulse laser beam 39 to one point in the region of the Au pad 24, a hole 38 having a diameter around 100  $\mu\text{m}$  on the bottom surface of the sapphire substrate 21 and a depth around 100  $\mu\text{m}$  can be made.

[0045]

Next using an etchant of  $\text{H}_3\text{PO}_4/\text{H}_2\text{SO}_4$  mixed liquid, similarly to the above-explained method, the bottom surface of the sapphire substrate 21 is processed by maskless non-selective etching. As a result, thickness of the sapphire substrate 21 is

reduced uniformly. For example, by etching of 10 hours, the sapphire substrate 21 is removed from the location corresponding to the Au pad 24, and the via hole 35 is formed to expose the GaN semiconductor layer 22 at the bottom thereof as shown in Fig. 12. At that time, the sapphire substrate 21 is etched not only in the depth direction but also in the lateral direction. As a result, diameter of the via hole 35 on the bottom surface of the sapphire substrate 21 becomes larger than the diameter of the hole 38 initially made. Therefore, by controlling the etching conditions, the diameter of the GaN semiconductor layer 22 circularly exposed at the bottom of the via hole 35 can be determined as desired. After that, in the same manner as already explained, the GaN semiconductor layer 22 circularly exposed at the bottom of the via hole 35 is removed to expose the Au pad 24, and the Cr/Au film 36 and the Au film 37 are made, to complete fabrication of the GaN FET 23.

[0046]

According to the second embodiment, similarly to the first embodiment, by thinning the sapphire substrate 21 and making the via hole 35 in the sapphire substrate 21, a high-frequency, high-output, high-performance GaN FET 23 can be realized. Additionally, according to the second embodiment, since the via hole 35 can be made in the maskless process, it simplifies

the manufacturing process as an additional advantage.

[0047]

Having described specific preferred  
embodiments of the present invention with reference to  
5 the accompanying drawings, it is to be understood that  
the invention is not limited to those precise  
embodiments, and that various changes and modifications  
may be effected therein by one skilled in the art  
without departing from the scope or the spirit of the  
10 invention as defined in the appended claims.

[0048]

For example, numerical values, materials,  
structures and processes introduced in the first and  
second embodiments are not but examples, and any other  
15 appropriate numerical values, materials, structures and  
processes may be used.

[0049]

Although the first embodiment has been  
explained as bonding the surface side of the sapphire  
20 substrate 21 to the Si substrate 27 prior to lapping,  
the Si substrate 27 may be omitted where appropriate.

[0050]

[Effects of the Invention]

As described above, according to the first  
25 aspect of the invention, when a device using nitride  
III-V compound semiconductors is made on a hard and  
chemically stable single-crystal substrate such as

sapphire substrate or SiC substrate, its high-power output can be ensured by thinning the substrate.

[0051]

According to the second aspect of the invention, when a device using nitride III-V compound semiconductors is made on a hard and chemically stable single-crystal substrate such as sapphire substrate or SiC substrate, and particularly when the device is FET, by electric connection of the device through a via hole made in the single-crystal substrate, the source inductance can be decreased, and high-frequency operation is ensured.

[0052]

According to the third or fourth aspect of the invention, when making a device using nitride III-V compound semiconductors on a hard, chemically stable single-crystal substrate such as sapphire substrate or SiC substrate, and electrically connecting the device through a via hole made in the single-crystal substrate, the via hole can be made easily in the single-crystal substrate.

[Brief Description of the Drawings]

[Fig. 1]

Cross-sectional view for explaining the invention.

[Fig. 2]

Cross-sectional view for explaining the

invention.

[Fig. 3]

Cross-sectional view for explaining the invention.

5 [Fig. 4]

Cross-sectional view for explaining the invention.

[Fig. 5]

10 Schematic diagram showing dependency of heat conductivity of sapphire upon temperature.

[Fig. 6]

Cross-sectional view for explaining a manufacturing method of GaN FET according to the first embodiment of the invention.

15 [Fig. 7]

Cross-sectional view for explaining a manufacturing method of GaN FET according to the first embodiment of the invention.

[Fig. 8]

20 Cross-sectional view for explaining a manufacturing method of GaN FET according to the first embodiment of the invention.

[Fig. 9]

25 Cross-sectional view for explaining a manufacturing method of GaN FET according to the first embodiment of the invention.

[Fig. 10]

Cross-sectional view for explaining a manufacturing method of GaN FET according to the first embodiment of the invention.

[Fig. 11]

5 Cross-sectional view for explaining a manufacturing method of GaN FET according to the second embodiment of the invention.

[Fig. 12]

10 Cross-sectional view for explaining a manufacturing method of GaN FET according to the second embodiment of the invention

[Description of Reference Numerals]

1, 21 ... Sapphire substrate, 2, 22 ... GaN semiconductor layer, 4, 24 ... Au pad, 5, 25 ... Inter-layer insulating film, 6, 34 ... Etching mask, 7, 26 ... Protective film, 8, 35 ... Via hole, 9, 37 ... Pulse laser beam, 10, 38 ... Hole

[Title of Document] Abstract

[Abstract]

[Subject]

To provide a semiconductor device and its  
5 manufacturing method ensure high-power output or high-  
frequency operation of the device by thinning the  
substrate or making a via hole in the substrate when a  
device using GaN semiconductors is made on a hard and  
chemically stable single-crystal substrate such as  
10 sapphire substrate or SiC substrate.

[Solving Means]

After making a GaN FET 3 by growing GaN  
semiconductor layers 2 on the surface of a sapphire  
substrate 1, the bottom surface of the sapphire  
15 substrate 1 is processed by lapping, using an abrasive  
liquid containing a diamond granular abrasive material  
and reducing the grain size of the abrasive material in  
some steps, to reduce the thickness of the sapphire  
substrate 1 to 100  $\mu\text{m}$  or less. Thereafter, the bottom  
20 surface of the sapphire substrate 1 is processed by  
etching using an etchant of phosphoric acid or  
phosphoric acid/sulfuric acid mixed liquid to remove a  
strained layer by lapping. Then, after making a via  
hole 8 by etching the bottom surface of the sapphire  
25 substrate 1 by using a similar etchant, the GaN  
semiconductor layer 3 at the bottom of the via hole 8  
is removed by RIE to expose a Au pad 4 electrically

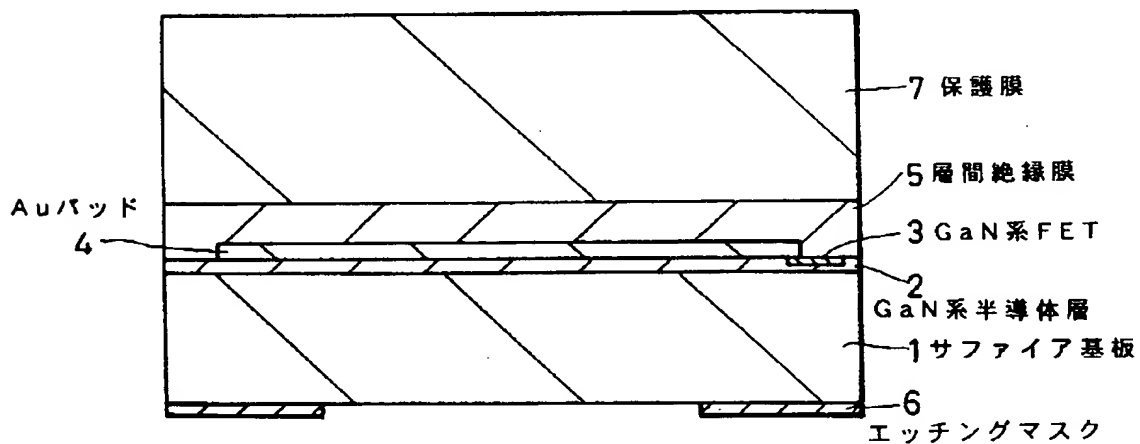
connected to the source of GaN FET 3. Thereafter, a thick Au film electrically connected to the Au pad 4 is made through the via hole 8. The via hole 8 may be made by irradiation of a pulse laser beam from a CO<sub>2</sub> laser and subsequent etching.

5

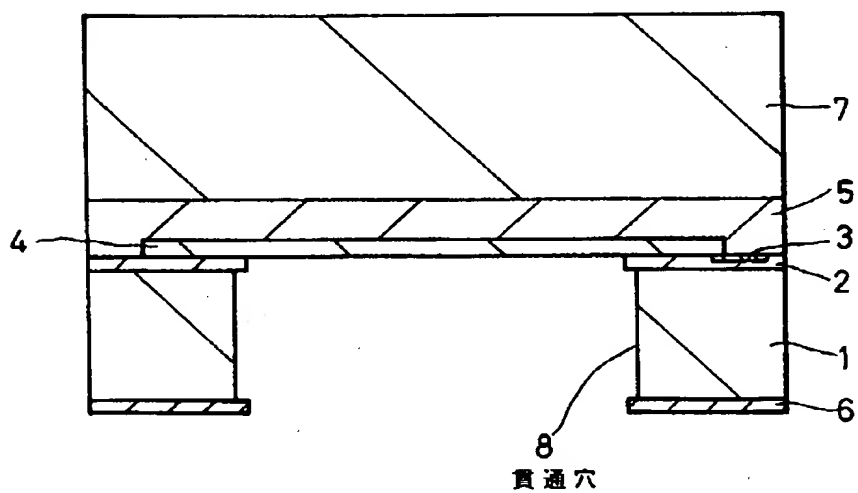
[Selected Drawing] Fig. 2

【書類名】 図面

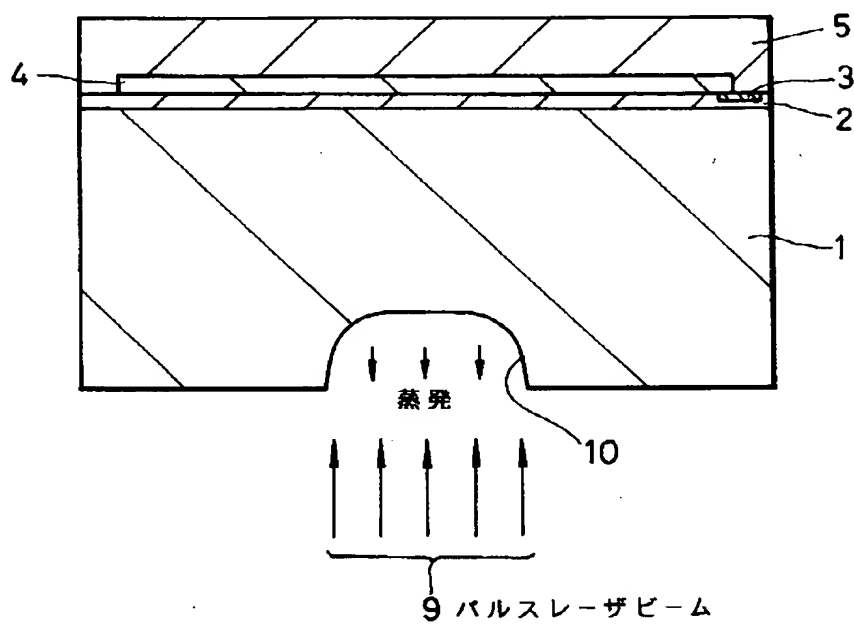
【図1】



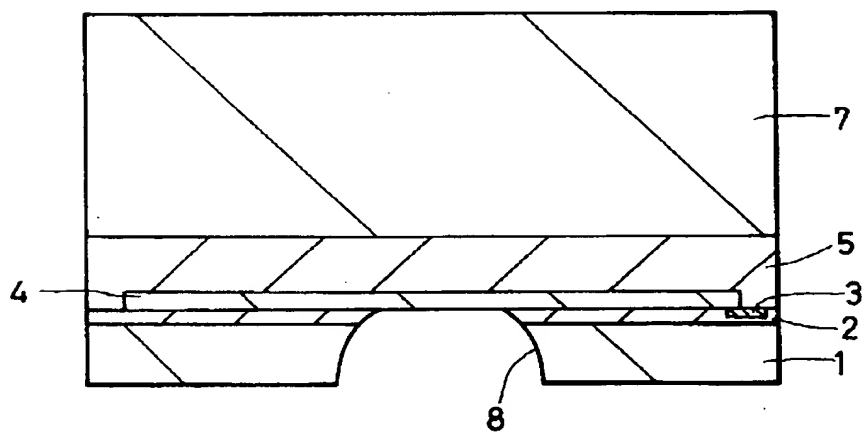
【図2】



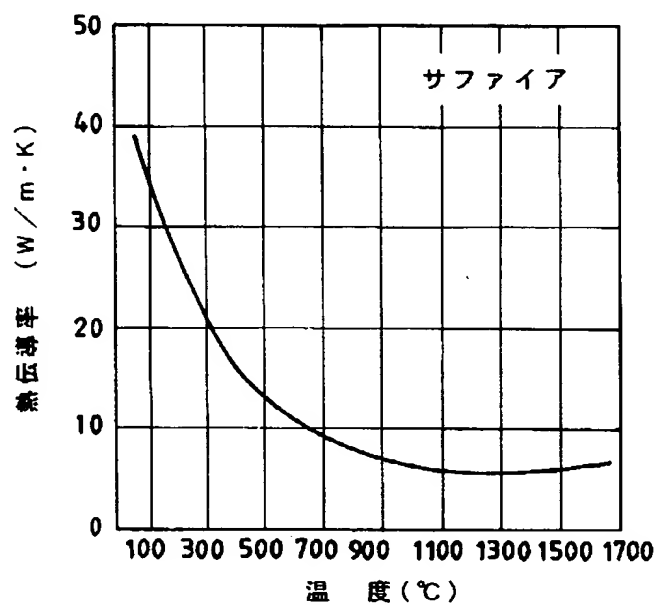
【図3】



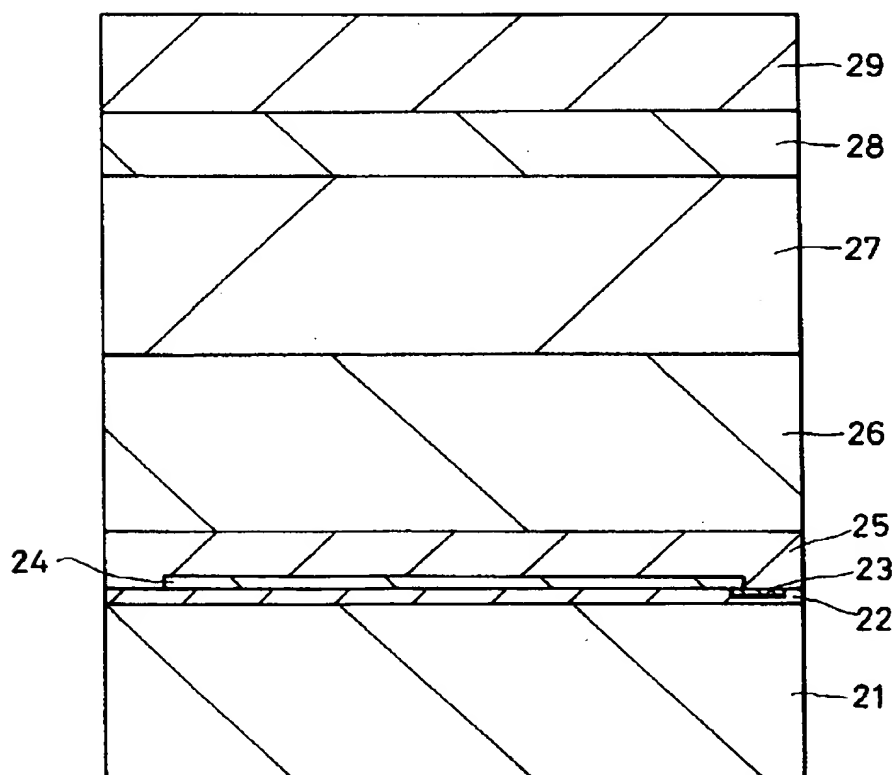
【図4】



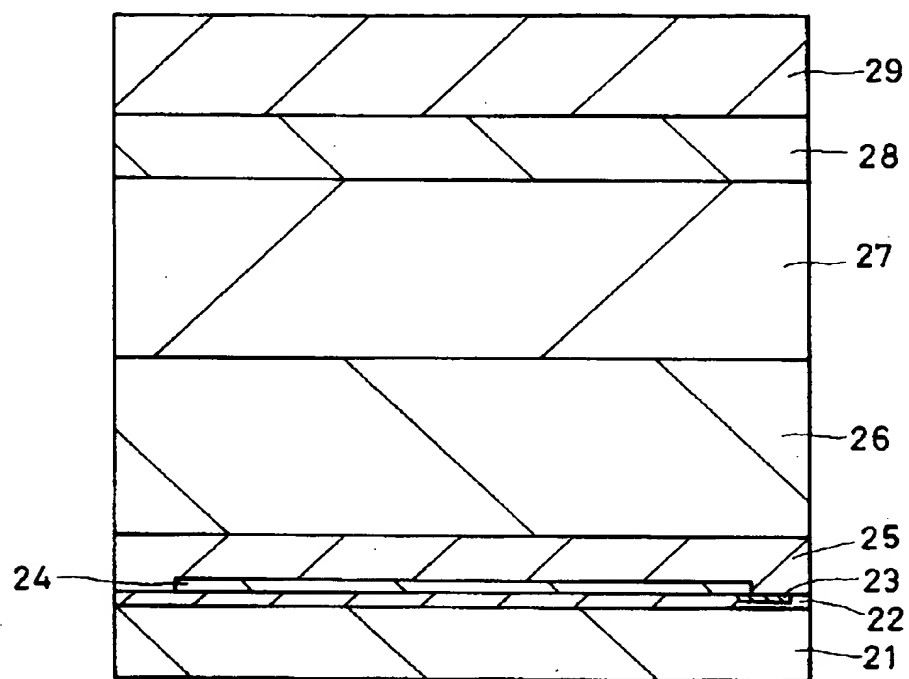
【図5】



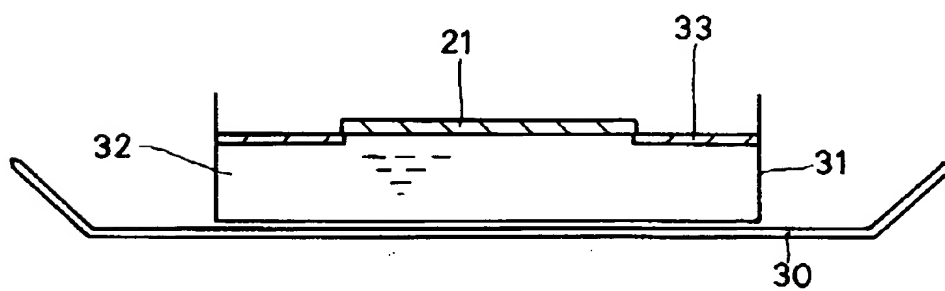
【図6】



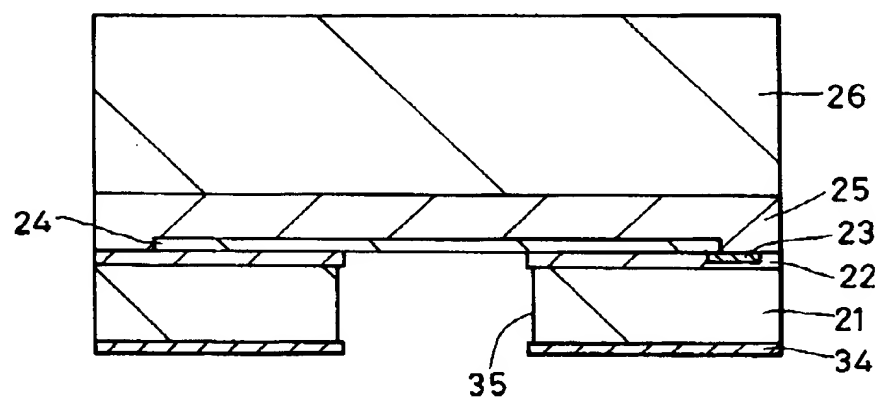
【図7】



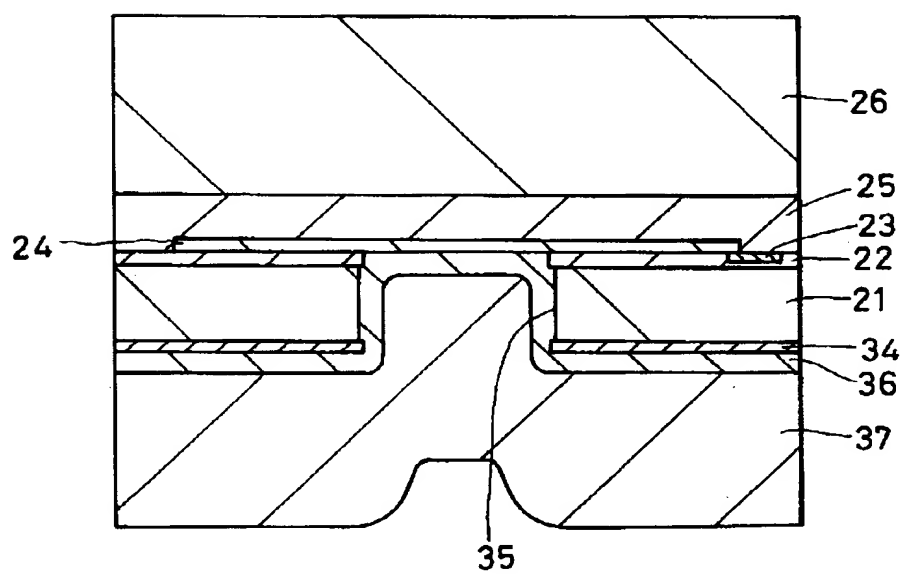
【図8】



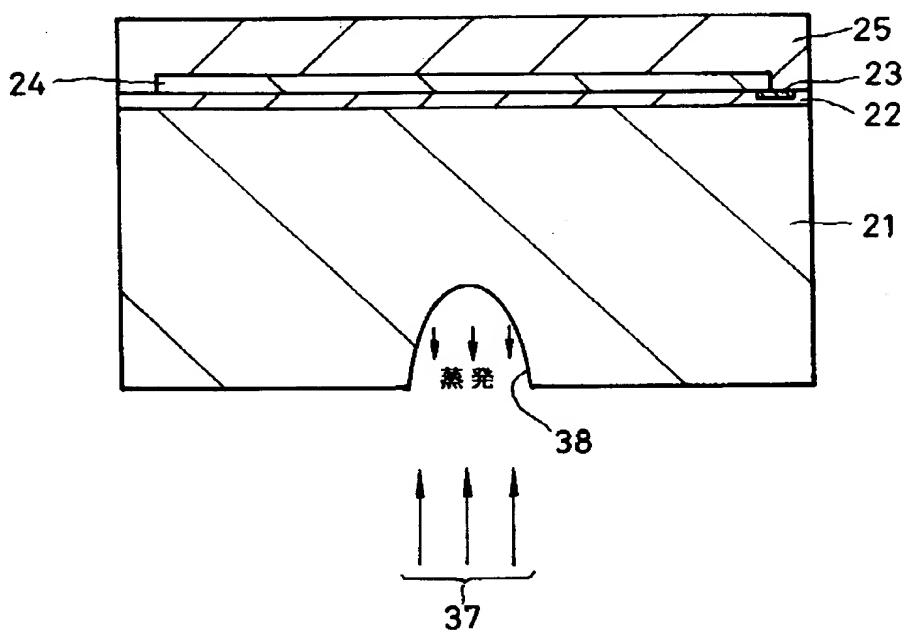
【図9】



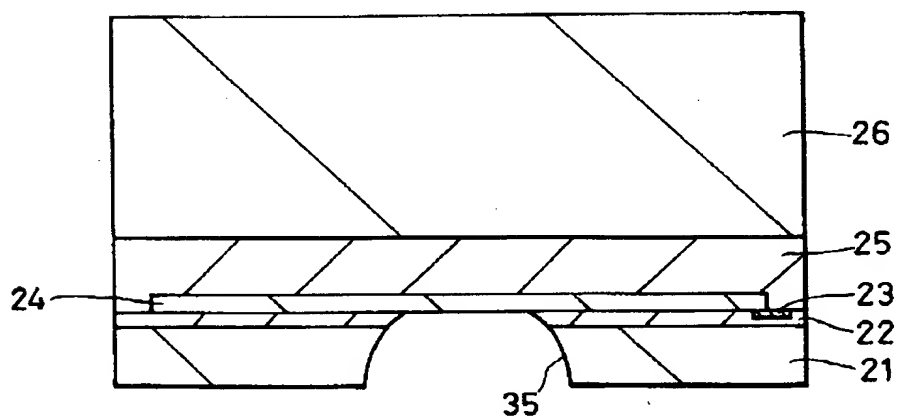
【図10】



【図11】



【図12】



【書類名】 特許願  
【整理番号】 S970145854  
【提出日】 平成 9年 5月28日  
【あて先】 特許庁長官 荒井 寿光 殿  
【国際特許分類】 H01L 29/772  
【発明の名称】 半導体装置およびその製造方法  
【請求項の数】 15

【発明者】 Inventor

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社

内

【氏名】

河合 弘治

Hiroji KAWAI

【特許出願人】

【識別番号】

000002185

【氏名又は名称】

ソニー株式会社

【代表者】

出井 伸之

【代理人】

【識別番号】

100082762

【弁理士】

【氏名又は名称】

杉浦 正知

【電話番号】

03-3980-0339

【手数料の表示】

【予納台帳番号】

043812

【納付金額】

21,000円

【提出物件の目録】

【物件名】

明細書 1

【物件名】

図面 1

【物件名】

要約書 1

【包括委任状番号】

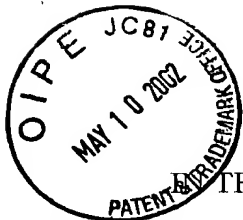
9006427

【ブルーフの要否】

要

I certify that the name of the inventor  
of Japanese Application 09-138451  
translates from Japanese to English  
as Hiroji Kawai.

May 6, 2002  
Matthew Wolski, Esq.  
Matthew Wolski  
Attorney, Sramenschen, Nath & Rosenthal  
Chicago, IL.



THE UNITED STATES PATENT AND TRADEMARK OFFICE

INVENTOR: Hiroji KAWAI

ATTORNEY DOCKET NO.: 09792909-4785

SERIAL NO.: 09/768,912 GROUP ART UNIT: 2881

FILED: January 24, 2001 EXAMINER: J. MENEFEE

TITLE: "NITRIDE III-V COMPOUND SEMICONDUCTOR DEVICE" (*as amended*)

**EXHIBIT D**  
A COPY OF  
JAPANESE APPLICATION P09-138451

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項1】 窒化物系ⅢⅢⅢ－Ⅴ族化合物半導体と異なる物質からなる単結晶基板の一方の主面上に窒化物系ⅢⅢⅢ－Ⅴ族化合物半導体を用いた素子を形成する工程と、

上記単結晶基板の他方の主面を、ダイヤモンド砥粒からなる研磨材を含む研磨液を用い、かつ、上記研磨材の粒径を段階的に小さくしながらラッピングすることにより上記単結晶基板を薄化する工程と、

上記ラッピングされた上記単結晶基板の上記他方の主面を150～450℃の温度のリン酸またはリン酸と硫酸とを主成分とするエッチング液を用いてエッチングすることにより上記ラッピングの際に上記単結晶基板の上記他方の主面に生じた歪層を除去する工程とを有する

ことを特徴とする半導体装置の製造方法。

【請求項2】 上記単結晶基板を100μm以下の厚さに薄化するようにしたことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 上記単結晶基板の上記他方の主面をエッチングする前に上記単結晶基板の上記一方の主面上に形成された上記素子の表面を上記エッチング液に対して耐性を有する保護膜で覆っておくようにしたことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 上記保護膜は酸化シリコン膜、窒化シリコン膜またはポリイミド膜であることを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】 上記単結晶基板の上記他方の主面のみを上記エッチング液に浸すことにより上記単結晶基板の上記他方の主面をエッチングするようにしたことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項6】 上記単結晶基板はサファイア基板、スピネル基板、ペロブスカイト系イットリウムアルミネート基板またはSiC基板であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項 7】 窒化物系 I I I - V 族化合物半導体と異なる物質からなる単結晶基板と、

上記単結晶基板の一方の主面上の窒化物系 I I I - V 族化合物半導体を用いた素子とを有する半導体装置において、

上記単結晶基板に設けられた貫通穴を通じて上記素子に対する電氣的接続が行われている

ことを特徴とする半導体装置。

【請求項 8】 上記単結晶基板はサファイア基板、スピネル基板、ペロブスカイト系イットリウムアルミネート基板または S i C 基板であることを特徴とする請求項 7 記載の半導体装置。

【請求項 9】 窒化物系 I I I - V 族化合物半導体と異なる物質からなる単結晶基板と、

上記単結晶基板の一方の主面上の窒化物系 I I I - V 族化合物半導体を用いた素子とを有し、

上記単結晶基板に設けられた貫通穴を通じて上記素子に対する電氣的接続が行われる半導体装置の製造方法であって、

上記単結晶基板の他方の主面を 1 5 0 ~ 4 5 0 ° C の温度のリン酸またはリン酸と硫酸とを主成分として含むエッチング液を用いて選択的にエッチングすることにより上記貫通穴を形成するようにした

ことを特徴とする半導体装置の製造方法。

【請求項 1 0】 上記単結晶基板の上記他方の主面に、C r、T i または N i からなる第 1 の薄膜とその上の P t、P d または A u からなる第 2 の薄膜とからなるエッチングマスクを形成し、このエッチングマスクを用いて上記単結晶基板の上記他方の主面をエッチングすることにより上記貫通穴を形成するようにしたことを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 1 1】 上記単結晶基板の上記他方の主面のみを上記エッチング液に浸すことにより上記単結晶基板の上記他方の主面をエッチングするようにしたことを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 1 2】 上記単結晶基板はサファイア基板、スピネル基板、ペロブスカイト系イットリウムアルミネート基板または S i C 基板であることを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 1 3】 窒化物系 I I I - V 族化合物半導体と異なる物質からなる単結晶基板と、

上記単結晶基板の一方の主面上の窒化物系 I I I - V 族化合物半導体を用いた素子とを有し、

上記単結晶基板に設けられた貫通穴を通じて上記素子に対する電氣的接続が行われる半導体装置の製造方法であって、

上記単結晶基板の他方の主面に 6  $\mu$  m 以上の波長を有するレーザ光を選択的に照射することにより上記一方の主面に達しない 1 0  $\mu$  m 以上の深さの穴を形成する工程と、

上記単結晶基板の上記他方の主面を 1 5 0 ~ 4 5 0  $^{\circ}$  C の温度のリン酸またはリン酸と硫酸とを主成分とするエッチング液を用いてエッチングすることにより上記穴を上記一方の主面に到達させて上記貫通穴を形成する工程とを有する

ことを特徴とする半導体装置の製造方法。

【請求項 1 4】 上記レーザ光として C O <sub>2</sub> レーザによる波長 1 0 . 6  $\mu$  m のパルスレーザ光を用いるようにしたことを特徴とする請求項 1 3 記載の半導体装置の製造方法。

【請求項 1 5】 上記単結晶基板はサファイア基板、スピネル基板、ペロブスカイト系イットリウムアルミネート基板または S i C 基板であることを特徴とする請求項 1 3 記載の半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0 0 0 1】

#### 【発明の属する技術分野】

この発明は、半導体装置およびその製造方法に関し、特に、窒化ガリウム ( G a N ) などの窒化物系 I I I - V 族化合物半導体を用いた半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

GaNを主成分とする窒化物系Ⅲ－Ⅴ族化合物半導体（以下「GaN系半導体」ともいう）は直接遷移半導体であり、その禁制帯幅は1.9～6.2 eVに亘り、可視領域から紫外線領域に及ぶ半導体発光素子の実現が理論上可能であるため、このGaN系半導体を用いた半導体発光素子の開発が活発に進められている。このGaN系半導体はまた、電子走行素子の材料としても大きな可能性を持っている。すなわち、GaNの飽和電子速度は約 $2.0 \times 10^7$  cm/sとSi、GaAsおよびSiCに比べて大きく、また、破壊電界は $5 \times 10^6$  V/cmとダイヤモンドに次ぐ大きさを持っている。このような理由により、GaN系半導体は高周波、大電力用半導体素子の材料として大きな可能性を持つことが予想されてきた。

【0003】

このGaN系半導体を用いたトランジスタを製造するには、化学気相成長（CVD）法や分子線エピタキシー（MBE）法によりGaN系半導体を成長させる必要があるが、この際の基板としてはサファイア基板がよく用いられる。ところが、GaNの熱伝導率は室温で1.3 W/cmKと、GaAsの室温での熱伝導率0.3 W/cmKより大きいものの、サファイアの熱伝導率は室温で0.4 W/cmKとGaAs並みであり、SiCの室温での熱伝導率4.9 W/cmKに比べると約1/12と小さいため、特に、サファイア基板上にGaN系半導体を成長させて高出力用のGaN系電界効果トランジスタ（FET）を作った場合には、動作時の熱放出が悪く、特性劣化が生じることが指摘されている（(1)Inst. Phys. Conf. Ser., No. 142, 765(1996)）。このため、GaN系FETの高出力化のためには、熱放出特性の向上を図る必要がある。一方、このGaN系FETを高周波動作させる場合には、ソースインダクタンスの低減が必要となる。

【0004】

従来、GaAs系FETにおいては、ソースインダクタンスの低減による高周波動作化、高出力化のための基礎技術として、GaAs基板の薄化技術と、GaAs基板に貫通穴（ビアホール）を形成し、この貫通穴を通じて基板裏面側から

ソースに対して電氣的接続を行う技術とがある。これらの技術の概略を説明すると、次の通りである ((2) G a A s 電界効果トランジスタの基礎、電子情報通信学会、平成4年、p.207、(3) 米国特許第4015278号、(4) Int. Electron Device Meet., Tech. Dig., 676(1981))。

#### 【0005】

すなわち、まず、G a A s 基板を薄化するためには、S i Cやアルミナの砥粒研磨材を用いて一次ラッピングを行った後、C e O<sub>2</sub>、Z r O<sub>2</sub>、C r O<sub>2</sub>などの粒径1 μm以下の砥粒を用いて合成樹脂や人工皮革などの軟質ポリッシャ上でポリッシングを行い、ラッピングによる加工歪を除去する。これだけで残りの加工歪の深さは10 μm以下となるが、ウェットエッチングにより追加加工がなされることもある。次に、G a A s 基板への貫通穴の形成に関しては、G a A s は硫酸／過酸化水素溶液またはアルカリ溶液のどちらによっても容易に溶解されるので、基本的にはこれらの溶液をエッチング液として用いたウェットエッチングだけでも貫通穴の形成が可能であるが、このウェットエッチングではサイドエッチングが大きく、貫通穴の形状制御が困難であるため、通常は反応性イオンエッチング(R I E)法やイオンミリング法などが用いられる。R I E法を用いて貫通穴を形成するときには、エッチングガスとしてC C l<sub>2</sub>・F<sub>2</sub>とH eとの混合ガスを用い、エッチングマスクとして酸化シリコン(S i O<sub>2</sub>)膜または有機レジスト膜を用いることにより、50～100 μm/h rの高いエッチング速度が得られ、容易に貫通穴を形成することができる。このようにG a A s 基板は機械的にも化学的にも加工が容易であるため、基板の薄化および基板への貫通穴の形成によりG a A s 系F E Tの高周波動作化、高出力化がすでに実現されている。

#### 【0006】

##### 【発明が解決しようとする課題】

しかしながら、G a A s 系F E Tにおいて用いられている上述のような基板の薄化および基板への貫通穴の形成の技術をG a N系F E Tに適用することは困難である。すなわち、すでに述べたように、G a N系F E Tの製造にはサファイア基板がよく用いられるが、サファイアはG a A s に比べてはるかに固いため、上述の従来のラッピング技術を用いてサファイア基板を薄化することは極めて困難

であり、無理やりラッピングで薄化すると、ラッピング歪により基板自身が素子側の主面側が凹となるように大きく反ってしまい、遂には破壊に至ってしまう。また、サファイア基板への貫通穴の形成についても、サファイアは化学的に極めて安定であるため、ウェットエッチングは有効なエッチング液がなく不可能であり、また、RIE法によるドライエッチングは、エッチング速度が高々数 $\mu\text{m}/\text{hr}$ と非常に小さく、しかも選択エッチングを行うための選択性を有するエッチングマスクがないため、いずれの方法によっても、貫通穴の形成は事実上不可能である。このように、サファイア基板上にGaN系FETを形成する場合には、基板の薄化および貫通穴の形成により高周波動作化、高出力化を図ることは困難であった。

#### 【0007】

以上はサファイア基板上にGaN系FETを形成する場合についてであるが、この問題は、サファイア基板と同様に極めて固く、化学的にも安定なSiC基板などの上にGaN系FETを形成する場合にも、同様に存在するものである。

#### 【0008】

したがって、この発明の目的は、サファイア基板やSiC基板などの固く、化学的にも安定な単結晶基板上に窒化物系III-V族化合物半導体を用いた素子を形成する場合に、基板の薄化および／または基板への貫通穴の形成により、高周波動作化および／または高出力化を図ることができる半導体装置およびこのような半導体装置を容易に製造することができる半導体装置の製造方法を提供することにある。

#### 【0009】

##### 【課題を解決するための手段】

本発明者は、従来技術が有する上述の課題を解決すべく、鋭意検討を行った。以下にその概要を説明する。

#### 【0010】

GaN系半導体を用いた素子がすでに形成されているサファイア基板を薄化するにあたっては、解決すべき問題がある。その第1は、ラッピングなどの手法を用いてサファイア基板を薄化していく過程で、基板表面側の素子に損傷を与えず

に、しかも加工歪を最小限に抑えて、さらには基板の反りや破壊を防ぎつつ、十分に薄く、具体的には厚さ約 $100\mu\text{m}$ 以下、例えば数 $10\mu\text{m}$ 以下まで薄化することである。また、サファイア基板を用いる場合には、GaAs基板を用いる場合と異なり、最終的には薄化した基板の歪をほとんど除去しておかないと、反りにより後の工程に支障が出る。第2に、サファイア基板の所望の場所に貫通穴を形成するのに最適な加工方法を見い出すことである。サファイアのウェットエッチング法としては、 $900^{\circ}\text{C}$ 程度の熔融硼砂を用いる方法や $400^{\circ}\text{C}$ 程度の熔融リン酸を用いる方法が知られている。本発明者は、これらの方法がサファイア基板への貫通穴の形成技術として適用可能であるかどうかを調べた。また、そのときのエッチングマスクの材料としてはどのようなものが可能であるかどうかについても調べた。さらに、このようなエッチングマスクを用いずに貫通穴を形成する新しい簡単な方法があるかどうかをも検討した。

#### 【0011】

さて、サファイア基板のような固い材料からなる基板の場合、ラッピング用の砥粒研磨材としては、ダイヤモンド粉しかないと考えられる。一般に、ラッピングによる加工変質層あるいは歪層の厚さは、使用する砥粒の粒径の数倍程度はある。したがって、例えば、 $20\text{nm}$ 程度の厚さまで薄化するとすると、薄化前のサファイア基板の厚さは一般に約 $400\mu\text{m}$ 前後であるので、薄化するには、まず、例えば粒径 $30\mu\text{m}$ のダイヤモンド砥粒研磨材を含む研磨液を用いて、約 $200\mu\text{m}$ の厚さまでラッピングする。この場合、これ以上薄化すると、残りの基板に占める歪層の割合が大きくなり、大きな歪により反りや破壊を招く。次に、ダイヤモンド砥粒の粒径をより小さく、例えば $10\mu\text{m}$ とし、例えば $100\mu\text{m}$ 程度の厚さまでラッピングする。これによって、前回のラッピングの際に発生した歪層は除去することができるが、新たに数 $10\mu\text{m}$ の厚さの歪層が発生する。そこで、次に、例えば、粒径約 $1\mu\text{m}$ の砥粒研磨材を含む研磨液を用いて、 $40\mu\text{m}$ 程度の厚さまでラッピングまたはポリッシングを行う。

#### 【0012】

ここで、GaAs基板では、従来はメカノケミカルポリッシュ技術により、ラッピングによる歪層を完全に除去することができた。具体的には、極微軟質粒子

を含む次亜塩素酸溶液中でポリッシングを行うことにより歪層を完全に除去することができることが知られている。しかしながら、サファイア基板については、このような溶液中でのポリッシングは知られていない。そこで、次のような方法を用いることを考える。すなわち、リン酸に適当量の硫酸を混合し、温度を280℃とする。この液はサファイアに対し、10  $\mu\text{m}/\text{hr}$  程度のエッチング速度を持つ。この高温リン酸によるサファイアのエッチング作用は既知である（例えば、(5) セラミック加工ハンドブック、(株) 建設産業調査会（1987））。ところが、このような高温腐食性溶液に素子が直接さらされると、素子や配線などの特性劣化が引き起こされる。したがって、素子側にリン酸が接触しない工夫が必要となり、そのためには第1には基板裏面側のみ液に接触させることが有効であり、第2には素子側に保護膜を形成することが有効である。この保護膜としては、CVD法により形成された $\text{SiO}_2$  膜や $\text{SiN}$  膜などのリン酸に対して耐性を有する酸化物や窒化物の膜や耐熱性のポリイミド膜などが有効である。

#### 【0013】

次に、貫通穴の形成方法としては、従来のRIEのようなドライエッチングは採用することができない。そこで、次のような方法を用いることを考える。すなわち、例えば、図1に示すように、サファイア基板1の表面に例えば合計数 $\mu\text{m}$ の厚さのGaN系半導体層2を成長させ、このGaN系半導体層2にGaN系FET3を形成した後、このGaN系FET3用の金属配線およびパッドを形成する。符号4はこのGaN系FET3のソースと電気的に接続されたAuパッドを示す。次に、このAuパッド4を覆うようにGaN系半導体層2上に $\text{SiO}_2$  膜のような層間絶縁膜5を形成する。この後、サファイア基板1を100  $\mu\text{m}$ 以下の厚さ、例えば数10  $\mu\text{m}$ 程度の厚さに薄化する。次に、貫通穴形成部以外の部分におけるこのサファイア基板1の裏面を金属薄膜を積層した積層膜からなるエッチングマスク6で覆う。この積層膜としては、Ni、Cr、Tiなどのサファイア基板に対して密着性の良好な金属薄膜上にPt、Au、Pdなどのリン酸耐食性金属薄膜を積層した二層膜（例えば、Cr/Pt膜）などが用いられる。一方、層間絶縁膜5の表面には例えばポリイミドからなる保護膜7を形成する。次に、サファイア基板1の裏面側を例えば280℃程度の温度のリン酸/硫酸溶液

からなるエッチング液に浸し、エッチングを行う。このとき、エッチング速度はほぼ  $10 \mu\text{m}/\text{hr}$  であるので、サファイア基板 1 の厚さに応じてエッチング時間が考慮される。このようにして、図 2 に示すように、サファイア基板 1 に貫通穴 8 が形成される。そこで、次に R I E 法により、この貫通穴 8 の底部に露出した G a N 系半導体層 2 をエッチング除去し、A u パッド 4 を露出させる。この G a N 系半導体層 2 のエッチングの際には、エッチングガスとして  $\text{Cl}_2$  ガスを用いると、エッチング速度は  $5 \sim 10 \mu\text{m}/\text{hr}$  で、A u に対するエッチング速度の比は約 3 以上あるので、A u パッド 4 の厚さが  $1 \mu\text{m}$  以上あれば、G a N 系半導体層 2 をオーバーエッチング気味にエッチングしても、A u パッド 4 を十分な厚さ残すことができる。サファイア基板 1 の裏面のエッチングマスク 6 は G a N 系半導体層 2 を R I E 法によりエッチングする際に除去されてしまうこともあるが、問題はない。

#### 【0014】

この後、サファイア基板 1 の裏面にこのサファイア基板 1 の厚さ以上の厚さの金属膜を形成し、貫通穴 8 を通じて A u パッド 4 とコンタクトさせる。この金属膜の形成においては、具体的には、例えば、まず、サファイア基板 1 の裏面に N i または C r および A u を真空蒸着法などにより順次堆積させた後、その上にめっき法などにより十分な厚さ、例えば数  $10 \mu\text{m}$  から数  $100 \mu\text{m}$  の厚さの A u 膜を堆積させる。このようにして形成される厚いプレート状の金属膜により、G a N 系 F E T 3 のソースとの電氣的接続および放熱が行われる。

#### 【0015】

一方、サファイア基板に貫通穴を形成するための別の方法として、パルスレーザビームを用いる方法も考えられる。すなわち、サファイアは約  $6 \mu\text{m}$  以上の波長の赤外線を吸収する。このため、例えば、波長  $10.6 \mu\text{m}$  の  $\text{CO}_2$  レーザによるパルスレーザビームをサファイア基板に照射することによって局部的に超高温にし、サファイアを蒸発（アブレーション）させることができる。この技術は実際にアルミナ基板のスクライビングに実用化されている技術である。具体的には、例えば、ピーク出力  $300 \text{W}$ 、パルス幅  $200 \mu\text{s}$ 、ビーム径約  $100 \mu\text{m}$  の 1 パルスの照射により、アルミナ基板に深さ約  $200 \mu\text{m}$  の穴を形成すること

ができる。したがって、例えば、図3に示すように、厚さ $200\mu\text{m}$ 程度のサファイア基板1の裏面の所望の場所に $\text{CO}_2$ レーザによるパルスレーザビーム9を照射して例えば深さ $50\mu\text{m}$ 程度の穴10を形成した後、高温のリン酸/硫酸溶液からなるエッチング液を用いて例えば深さ $150\mu\text{m}$ 程度に一樣エッチングを行うことにより、図4に示すように貫通穴8を形成することができる。この方法はマスクレスプロセスであり、工程数は非常に少ない。

#### 【0016】

ここで、サファイア基板の薄化の意義についてあらためて説明する。図5に示すように、サファイアの熱伝導率は、室温で約 $0.4\text{W}/\text{cmK}$ と小さいばかりでなく、温度に対して大きな負の傾きを有し、温度上昇とともに減少する。サファイア基板上にGaN系半導体を用いた素子を形成した場合、動作時にこの素子から発生する熱は熱伝導でサファイア基板に移動し、高出力素子の場合、通常基板裏面に形成されるヒートシンクを通じて放熱されるが、上述のようにサファイアの熱伝導率が温度上昇とともに減少することは、温度上昇とともに熱放散されにくくなることを意味する。したがって、放熱の観点からは、素子が載っているサファイア基板は薄ければ薄いほど有利であり、機械的強度に耐える範囲内で極限まで薄化するのが好ましい。この薄化により、効率的な熱放散が可能となり、温度上昇が抑制される。

#### 【0017】

以上はサファイア基板を用いる場合についてであるが、例えばSiC基板などの他の単結晶基板を用いる場合についても同様なことが言える。この発明は、本発明者による以上のような検討に基づいて案出されたものである。

#### 【0018】

すなわち、上記目的を達成するために、この発明の第1の発明による半導体装置の製造方法は、

窒化物系III-V族化合物半導体と異なる物質からなる単結晶基板の一方の主面上に窒化物系III-V族化合物半導体を用いた素子を形成する工程と、

単結晶基板の他方の主面を、ダイヤモンド砥粒からなる研磨材を含む研磨液を用い、かつ、研磨材の粒径を段階的に小さくしながらラッピングすることにより

単結晶基板を薄化する工程と、

ラッピングされた単結晶基板の他方の主面を150～450℃の温度のリン酸またはリン酸と硫酸とを主成分とするエッチング液を用いてエッチングすることによりラッピングの際に単結晶基板の他方の主面に生じた歪層を除去する工程とを有する

ことを特徴とするものである。

#### 【0019】

この第1の発明においては、典型的には、ラッピングにより、単結晶基板を100μm以下の厚さに薄化し、あるいは、数10μm以下の厚さに薄化する。また、ラッピングによる歪層を除去するためのエッチングの際に素子に損傷が生じるのを防止するため、好適には、エッチング前に単結晶基板の一方の主面上に形成された素子の表面をエッチング液に対して耐性を有する保護膜で覆っておく。この保護膜としては、例えば、酸化シリコン(SiO<sub>2</sub>)膜、窒化シリコン(SiN)膜、ポリイミド膜などを用いることができる。また、このエッチングの際には、好適には、単結晶基板の他方の主面のみをエッチング液に浸すことによりエッチングを行う。

#### 【0020】

この発明の第2の発明による半導体装置は、

窒化物系III-V族化合物半導体と異なる物質からなる単結晶基板と、

単結晶基板の一方の主面上の窒化物系III-V族化合物半導体を用いた素子とを有する半導体装置において、

単結晶基板に設けられた貫通穴を通じて素子に対する電氣的接続が行われている

ことを特徴とするものである。

#### 【0021】

この発明の第3の発明は、

窒化物系III-V族化合物半導体と異なる物質からなる単結晶基板と、

単結晶基板の一方の主面上の窒化物系III-V族化合物半導体を用いた素子とを有し、

単結晶基板に設けられた貫通穴を通じて素子に対する電氣的接続が行われる半導体装置の製造方法であって、

単結晶基板の他方の主面を150～450℃の温度のリン酸またはリン酸と硫酸とを主成分として含むエッチング液を用いて選択的にエッチングすることにより貫通穴を形成するようにした

ことを特徴とするものである。

#### 【0022】

この第3の発明においては、単結晶基板の他方の主面に、Cr、TiまたはNiからなる第1の薄膜とその上のPt、PdまたはAuからなる第2の薄膜とからなるエッチングマスクを形成し、このエッチングマスクを用いて単結晶基板をエッチングすることにより貫通穴を形成する。このエッチングの際には、好適には、単結晶基板の他方の主面のみをエッチング液に浸すことによりエッチングを行う。

#### 【0023】

この発明の第4の発明は、

窒化物系III-V族化合物半導体と異なる物質からなる単結晶基板と、

単結晶基板の一方の主面上の窒化物系III-V族化合物半導体を用いた素子とを有し、

単結晶基板に設けられた貫通穴を通じて素子に対する電氣的接続が行われる半導体装置の製造方法であって、

単結晶基板の他方の主面に6μm以上の波長を有するレーザ光を選択的に照射することにより一方の主面に達しない10μm以上の深さの穴を形成する工程と

単結晶基板の他方の主面を150～450℃の温度のリン酸またはリン酸と硫酸とを主成分とするエッチング液を用いてエッチングすることにより穴を一方の主面に到達させて貫通穴を形成する工程とを有する

ことを特徴とするものである。

#### 【0024】

この第4の発明においては、例えば、レーザ光としてCO<sub>2</sub>レーザによる波長

10. 6  $\mu$ mのパルスレーザ光を用いる。

【0025】

この発明において、単結晶基板は、例えば、サファイア基板、スピネル基板、ペロブスカイト系イットリウムアルミネート（YAP）基板、SiC基板などである。

【0026】

また、この発明において、窒化物系III-V族化合物半導体は、少なくともGaおよびNを含み、場合により、さらにAl、InおよびBからなる群より選ばれた一種以上のIII族元素および／またはAsおよびPからなる群より選ばれた一種以上のV族元素を含む。この窒化物系III-V族化合物半導体の具体例をいくつか挙げると、GaN、AlGaN、GaInN、AlGaInNなどである。

【0027】

上述のように構成されたこの発明の第1の発明によれば、単結晶基板の他方の主面を研磨材の粒径を段階的に小さくしながらラッピングすることにより単結晶基板を薄化するようにしているので、単結晶基板がサファイア基板やSiC基板などの極めて固いものであっても、反りや破壊を招くことなく、しかもラッピングの際に生じる歪層を最小限に抑えつつ、単結晶基板を所望の厚さに薄化することができる。そして、このようにして薄化された単結晶基板の他方の主面を150～450℃の温度のリン酸またはリン酸と硫酸とを主成分とするエッチング液を用いてエッチングすることにより、ラッピングの際に単結晶基板の他方の主面に生じた歪層を除去することができる。

【0028】

上述のように構成されたこの発明の第2の発明によれば、単結晶基板に設けられた貫通穴を通じて素子に対する電氣的接続が行われていることにより、素子がFETである場合、ソースインダクタンスの低減を図ることができる。

【0029】

上述のように構成されたこの発明の第3の発明によれば、単結晶基板の他方の主面を150～450℃の温度のリン酸またはリン酸と硫酸とを主成分として含

むエッチング液を用いて選択的にエッチングすることにより貫通穴を形成するようになっているので、単結晶基板の所望の場所に貫通穴を容易に形成することができる。

### 【0030】

上述のように構成されたこの発明の第4の発明によれば、単結晶基板の他方の主面に6  $\mu\text{m}$ 以上の波長を有するレーザ光を選択的に照射することにより一方の主面に達しない10  $\mu\text{m}$ 以上の深さの穴を形成した後、単結晶基板の他方の主面を150～450℃の温度のリン酸またはリン酸と硫酸とを主成分とするエッチング液を用いてエッチングすることにより穴を一方の主面に到達させて貫通穴を形成するようにしていることにより、単結晶基板の所望の場所に貫通穴をマスクレスで容易に形成することができる。

### 【0031】

#### 【発明の実施の形態】

以下、この発明の実施形態について図面を参照しながら説明する。なお、実施形態の全図において、同一または対応する部分には同一の符号を付す。

### 【0032】

図6～図10はこの発明の第1の実施形態によるGaN系FETの製造方法を示す。

### 【0033】

この第1の実施形態においては、まず、図6に示すように、サファイア基板21の表面にGaN系半導体層22を成長させてこのGaN系半導体層22にGaN系FET23を形成する。ここで、サファイア基板21の厚さは例えば約400  $\mu\text{m}$ 、GaN系半導体層22の厚さは例えば約4  $\mu\text{m}$ である。次に、このGaN系FET23用の金属配線およびパッドを形成する。符号24はGaN系FET23のソースと電氣的に接続されたAuパッドを示す。次に、このAuパッド24を覆うようにGaN系半導体層22上に例えばSiO<sub>2</sub>膜のような層間絶縁膜25を形成する。次に、この層間絶縁膜25上に保護膜26を形成する。この保護膜26としては、例えば厚さ10  $\mu\text{m}$ の耐熱性のポリイミド膜を用いる。次に、この保護膜26上にSi基板27を載せ、保護膜26と接着する。このSi

基板27の厚さは例えば約250  $\mu\text{m}$ である。ここで、このSi基板27は、ラッピング終了後に薄化されたサファイア基板21が反るのを防止したり、このサファイア基板21の取り扱いを容易にするためのものである。次に、このSi基板27上にワックス28を介してラッピング用治具29を接着する。

#### 【0034】

次に、この試料を図示省略したラッピング装置のラッピング台上にセットし、まず、例えば粒径20～40  $\mu\text{m}$ のダイヤモンド砥粒からなる研磨材を含む水溶液からなる研磨液中においてサファイア基板21の裏面のラッピングを行う。このラッピングによりサファイア基板21の厚さが例えば約200  $\mu\text{m}$ に達したら試料およびラッピング台を洗浄し、研磨液を除去する。次に、例えば粒径5～12  $\mu\text{m}$ のダイヤモンド砥粒からなる研磨材を含む水溶液からなる研磨液中においてサファイア基板21の裏面のラッピングを行う。このラッピングによりサファイア基板21の厚さが例えば約100  $\mu\text{m}$ になったら、ラッピングを終了する。このようにして、図7に示すように、サファイア基板21が約100  $\mu\text{m}$ の厚さに薄化される。この後、試料をホットプレート（図示せず）で温め、ラッピング用治具29を取り外し、ワックス28を除去する。

#### 【0035】

次に、上述のようにして厚さ約100  $\mu\text{m}$ に薄化されたサファイア基板21の裏面を例えば285℃に加熱されたリン酸（ $\text{H}_3\text{PO}_4$ ）／硫酸（ $\text{H}_2\text{SO}_4$ ）混合液からなるエッチング液に浸し、エッチングを行う。このエッチングは具体的には例えば次のようにして行うことができる。

#### 【0036】

すなわち、図8に示すように、ホットプレート30上に、シャーレ状のPt容器31に $\text{H}_3\text{PO}_4 : \text{H}_2\text{SO}_4 = 1 : 1$ の $\text{H}_3\text{PO}_4 / \text{H}_2\text{SO}_4$ 混合液からなるエッチング液32を入れたものを載せる。このエッチング液32はホットプレート30により、あらかじめエッチング温度に加熱しておく。次に、外径がPt容器31の直径より少し小さく、内径がサファイア基板21の直径より少し小さいドーナツ状のPt板からなる落とし蓋33を、エッチング液32上に保持する。このとき、落とし蓋33の上面がエッチング液32の液面とほぼ同一面にな

るようにする。この落とし蓋33は、 $\text{H}_3\text{PO}_4/\text{H}_2\text{SO}_4$  混合液からなるエッチング液32からの水分の蒸発を防いで $\text{H}_3\text{PO}_4$ の組成を一定とし、かつ、サファイア基板21の裏面のみエッチング液32と接するようにするためのものである。そして、この落とし蓋33の上に上述のサファイア基板21をその外周部が落とし蓋33の内周部に重なるように載せる。このとき、サファイア基板21の裏面のみがエッチング液32に接する。これによって、サファイア基板21の裏面のみがエッチングされ、ラッピングの際に生じた歪層が除去される。

#### 【0037】

次に、図9に示すように、Auパッド24に対応する部分におけるサファイア基板21の裏面に、フォトリソグラフィー法により、形成すべき貫通穴に対応する形状を有するレジストパターン（図示せず）を形成した後、その上に例えば厚さ20nmのCr膜および例えば厚さ0.1 $\mu\text{m}$ のPt膜を例えば真空蒸着法により順次形成する。この後、リフト法により、レジストパターンをその上に形成されたCr膜およびPt膜とともに除去する。このようにして、Cr/Pt膜からなるエッチングマスク34が形成される。次に、このエッチングマスク34を用いて、サファイア基板21の裏面を、上述と同様に、例えば285℃の $\text{H}_3\text{PO}_4/\text{H}_2\text{SO}_4$  混合液からなるエッチング液に例えば約3時間浸し、このサファイア基板21を、GaN系半導体層22が露出するまで選択的にエッチングする。これによって、サファイア基板21に貫通穴35が形成される。

#### 【0038】

次に、このサファイア基板21を図示省略したRIE装置に導入し、例えば $\text{Cl}_2$ ガスをエッチングガスとして用いて、サファイア基板21の裏面側から、このサファイア基板21をマスクとして、GaN系半導体層22を選択的にエッチングする。このときのエッチング速度は例えば約10 $\mu\text{m/hr}$ とすることができ、GaN系半導体層22の厚さが上述のように約4 $\mu\text{m}$ であるとする、約25分程度でGaN系半導体層22をエッチング除去し、Auパッド24を露出させることができる。

#### 【0039】

次に、図10に示すように、再び、例えば真空蒸着法により例えば膜厚20n

mのCr膜および例えば膜厚5 $\mu$ mのAu膜を順次形成してCr/Au膜36を形成した後、このCr/Au膜36上に例えばめっき法により十分に厚い、例えば約100 $\mu$ mの厚さのAu膜37を形成する。この後、ポリイミド膜からなる保護膜26を有機溶剤で除去する。

#### 【0040】

以上の工程で、約100 $\mu$ mの厚さに薄化されたサファイア基板21上に形成され、さらに、このサファイア基板21に形成された貫通穴35を通じてソースパッドであるAuパッド24に基板裏面側から厚いAu膜37が電氣的に接続されたGaN系FET23が製造される。

#### 【0041】

以上のように、この第1の実施形態によれば、サファイア基板1の表面にGaN系半導体層22を成長させてGaN系FET23を形成した後、サファイア基板1の裏面を、まず、第1段階として粒径20～40 $\mu$ mのダイヤモンド砥粒を含む水溶液からなる研磨液を用いて200 $\mu$ m程度の厚さまでラッピングし、次に、第2段階として、粒径5～12 $\mu$ mのダイヤモンド砥粒を含む水溶液からなる研磨液を用いて100 $\mu$ m程度の厚さまでラッピングしているので、ラッピングによるサファイア基板21の反りや破壊を抑えつつ、しかも、ラッピングの際に生じる歪層を最小限に抑えつつ、サファイア基板21を約100 $\mu$ mの厚さに薄化することができる。また、このラッピング後にサファイア基板21の裏面をH<sub>3</sub>PO<sub>4</sub>/H<sub>2</sub>SO<sub>4</sub>混合液からなるエッチング液を用いてエッチングしていることにより、ラッピングの際にサファイア基板21の裏面に生じる歪層を完全に除去することができる。そして、サファイア基板21の薄化により、ヒートシンクとして働くAu膜37への熱放散が良好に行われることから、GaN系FET23の温度上昇が大幅に緩和される。この結果、ゲートリークの増加やキャリアの移動度の減少などを抑えることができ、GaN系FET23の高周波特性を高出力時まで維持することができる。また、GaN系FET23の温度上昇が大幅に緩和されることにより、金属配線におけるマイグレーションの抑制や層間絶縁膜25の劣化を防止することができ、信頼性の向上を図ることができる。さらに、サファイア基板21の裏面に貫通穴35を形成し、この貫通穴35を通じて

Auパッド24にAu膜37を電氣的に接続していることにより、ソースインダクタンスの大幅な低減を図ることができ、高周波動作化を図ることができる。以上により、高周波、高出力の高性能のGaN系FET23を実現することができる。これに加えて、GaN系FET23の温度上昇が大幅に緩和されることにより、サファイア基板21上に高密度にGaN系FET23を形成することが可能となり、それによってさらなる出力の増大を図ることができる。

#### 【0042】

次に、この発明の第2の実施形態によるGaN系FETの製造方法について説明する。

#### 【0043】

この第2の実施形態においては、まず、第1の実施形態と同様にして、サファイア基板21を厚さ約200 $\mu$ mまで薄化する。

#### 【0044】

次に、図11に示すように、この薄化されたサファイア基板21の裏面に、例えばCO<sub>2</sub>レーザによる波長10.6 $\mu$ mのパルスレーザビーム37を照射し、サファイア基板21の表面に達しない、例えば弾頭形状の穴38を形成する。パルスレーザビーム37としては、例えば、先頭出力150W、パルス幅200 $\mu$ s、ビーム径約100 $\mu$ mのものをを用いる。また、例えば、このパルスレーザビーム39をAuパッド24の領域の一地点につき1パルス照射することにより、サファイア基板21の裏面における直径が約100 $\mu$ m、深さ約100 $\mu$ mの穴38を形成することができる。

#### 【0045】

次に、上述と同様な方法によって、H<sub>3</sub>PO<sub>4</sub>/H<sub>2</sub>SO<sub>4</sub>混合液からなるエッチング液を用いてサファイア基板21の裏面をマスクレスで無選択エッチングする。これによって、サファイア基板21の厚さは一様に減少し、例えば約10時間のエッチングでAuパッド24に対応する部分のサファイア基板21はなくなり、図12に示すように、貫通穴35が形成され、その底部にGaN系半導体層22が露出する。このとき、サファイア基板21は深さ方向のみならず、横方向にもエッチングされることにより、サファイア基板21の裏面における貫通穴

35の直径は初期に形成された穴38の直径よりも大きくなる。したがって、このエッチングの条件を制御することにより、貫通穴35の底部に円形状に露出したGaN系半導体層22を所望の直径にすることができる。この後、上述と同様に、この貫通穴35の底部に円形状に露出したGaN系半導体層22を除去してAuパッド24を露出させ、さらにCr/Au膜36およびAu膜37を形成し、GaN系FET23の製造を終了する。

#### 【0046】

この第2の実施形態によれば、第1の実施形態と同様に、サファイア基板21の薄化およびサファイア基板21への貫通穴35の形成により、高周波、高出力の高性能のGaN系FET23を実現することができる。これに加えて、この第2の実施形態によれば、マスクレスで貫通穴35を形成することができることにより、製造工程の簡略化を図ることができるという利点も得ることができる。

#### 【0047】

以上、この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

#### 【0048】

例えば、上述の第1の実施形態および第2の実施形態において挙げた数値、材料、構造、プロセスなどはあくまでも例に過ぎず、必要に応じて、これと異なる数値、材料、構造、プロセスなどを用いてもよい。

#### 【0049】

また、上述の第1の実施形態においては、ラッピングを行う前にサファイア基板21の表面側をSi基板27と接着しているが、このSi基板27は必要に応じて省略することも可能である。

#### 【0050】

##### 【発明の効果】

以上説明したように、この発明の第1の発明によれば、サファイア基板やSiC基板などの固く、化学的にも安定な単結晶基板上に窒化物系III-V族化合物半導体を用いた素子を形成する場合に、基板の薄化により、高出力化を図るこ

とができる。

【0051】

また、この発明の第2の発明によれば、サファイア基板やSiC基板などの固く、化学的にも安定な単結晶基板上に窒化物系III-V族化合物半導体を用いた素子を形成する場合に、単結晶基板に設けられる貫通穴を通じての素子に対する電氣的接続により、素子がFETである場合、ソースインダクタンスの低減を図ることができ、高周波動作化を図ることができる。

【0052】

また、この発明の第3の発明または第4の発明によれば、サファイア基板やSiC基板などの固く、化学的にも安定な単結晶基板上に窒化物系III-V族化合物半導体を用いた素子を形成し、この単結晶基板に設けられた貫通穴を通じて素子に対する電氣的接続を行う場合に、単結晶基板にその貫通穴を容易に形成することができる。

【図面の簡単な説明】

【図1】

この発明を説明するための断面図である。

【図2】

この発明を説明するための断面図である。

【図3】

この発明を説明するための断面図である。

【図4】

この発明を説明するための断面図である。

【図5】

サファイアの熱伝導率の温度依存性を示す略線図である。

【図6】

この発明の第1の実施形態によるGaN系FETの製造方法を説明するための断面図である。

【図7】

この発明の第1の実施形態によるGaN系FETの製造方法を説明するための

断面図である。

【図 8】

この発明の第 1 の実施形態による G a N 系 F E T の製造方法を説明するための略線図である。

【図 9】

この発明の第 1 の実施形態による G a N 系 F E T の製造方法を説明するための断面図である。

【図 1 0】

この発明の第 1 の実施形態による G a N 系 F E T の製造方法を説明するための断面図である。

【図 1 1】

この発明の第 2 の実施形態による G a N 系 F E T の製造方法を説明するための断面図である。

【図 1 2】

この発明の第 2 の実施形態による G a N 系 F E T の製造方法を説明するための断面図である。

【符号の説明】

1、2 1・・・サファイア基板、2、2 2・・・G a N 系半導体層、4、2 4  
・・・A u パッド、5、2 5・・・層間絶縁膜、6、3 4・・・エッチングマス  
ク、7、2 6・・・保護膜、8、3 5・・・貫通穴、9、3 7・・・パルスレー  
ザビーム、1 0、3 8・・・穴

【書類名】 要約書

【要約】

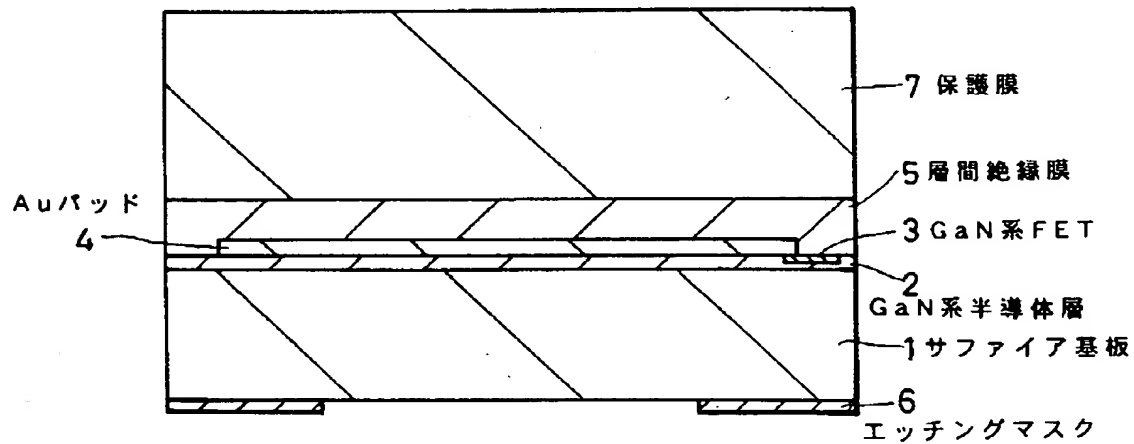
【課題】 サファイア基板やS i C基板などの固く、化学的にも安定な単結晶基板上にG a N系半導体を用いた素子を形成する場合に、基板の薄化または基板への貫通穴の形成により、高出力化または高周波動作化を図ることができる半導体装置およびその製造方法を提供する。

【解決手段】 サファイア基板1の表面にG a N系半導体層2を成長させてG a N系F E T 3を形成した後、裏面を、ダイヤモンド砥粒研磨材を含む研磨液を用い、かつ、研磨材の粒径を段階的に小さくしながらラッピングしてサファイア基板1を100  $\mu$ m以下の厚さに薄化する。次に、サファイア基板1の裏面をリン酸またはリン酸／硫酸混合液からなるエッチング液を用いてエッチングし、ラッピングによる歪層を除去する。次に、サファイア基板1の裏面を同様なエッチング液を用いてエッチングして貫通穴8を形成した後、この貫通穴8の底部のG a N系半導体層3をR I E法によりエッチング除去し、G a N系F E T 3のソースと電氣的に接続されたA uパッド4を露出させる。この後、貫通穴8を通じてA uパッド4と電氣的に接続されたA u膜を厚く形成する。貫通穴8は、C O<sub>2</sub>レーザによるパルスレーザビームの照射およびその後のエッチングにより形成してもよい。

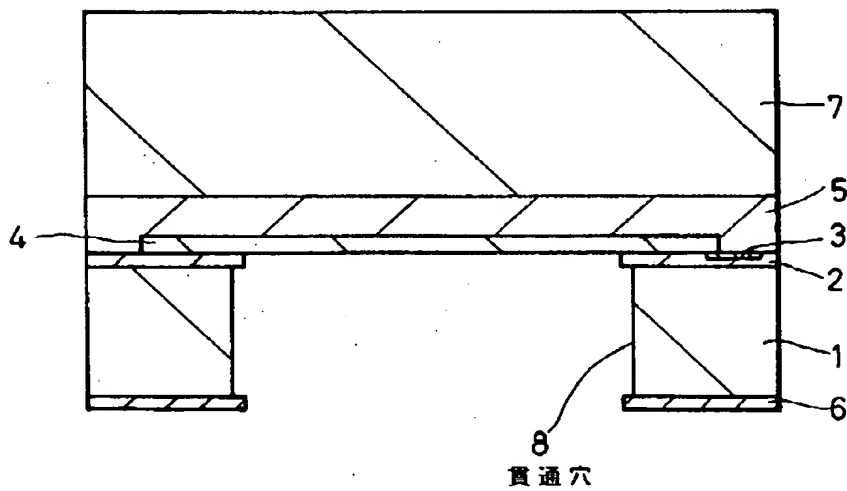
【選択図】 図2

【書類名】 図面

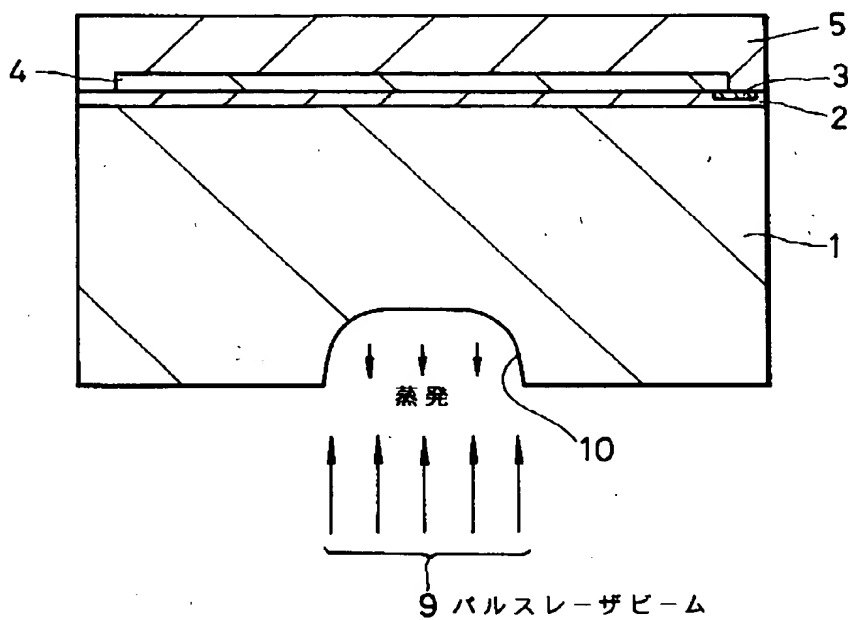
【図1】



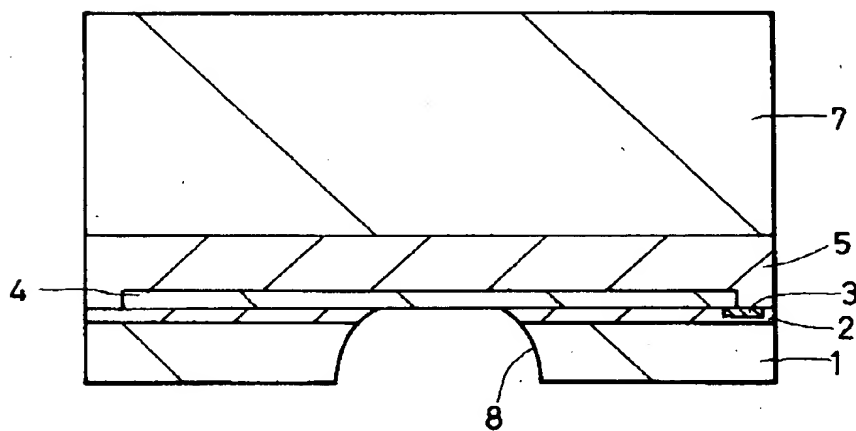
【図2】



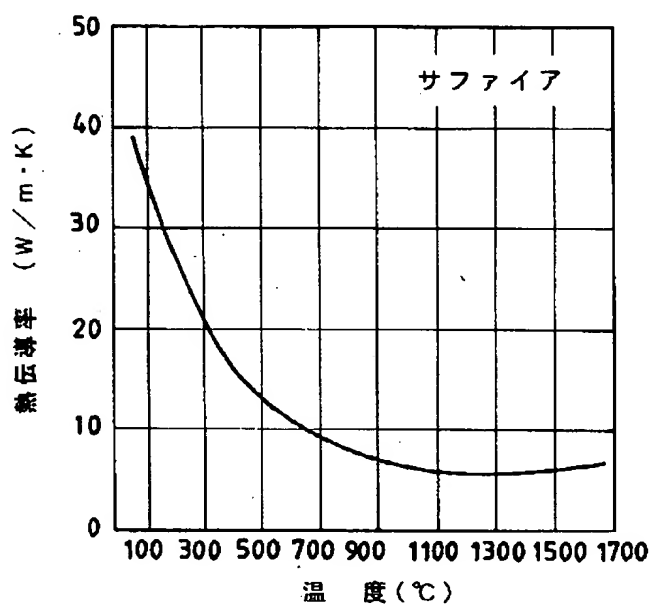
【図 3】



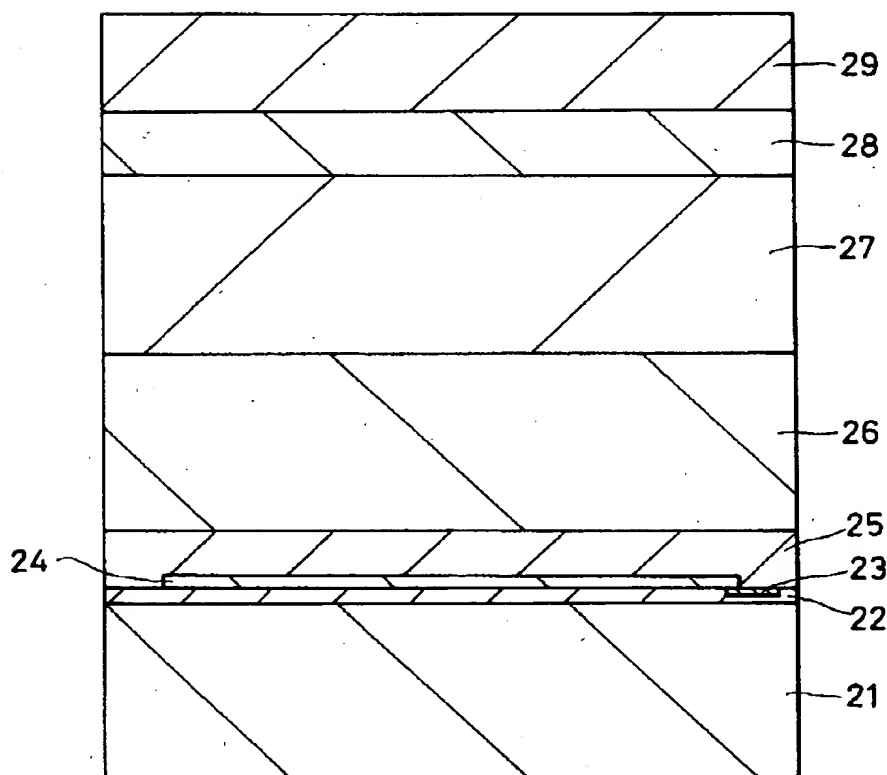
【図 4】



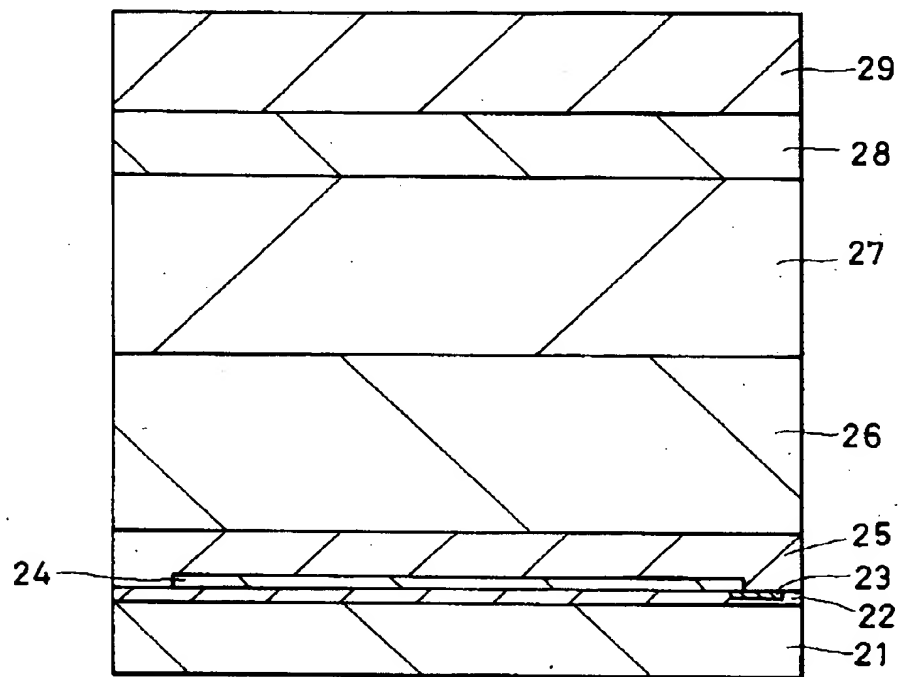
【図5】



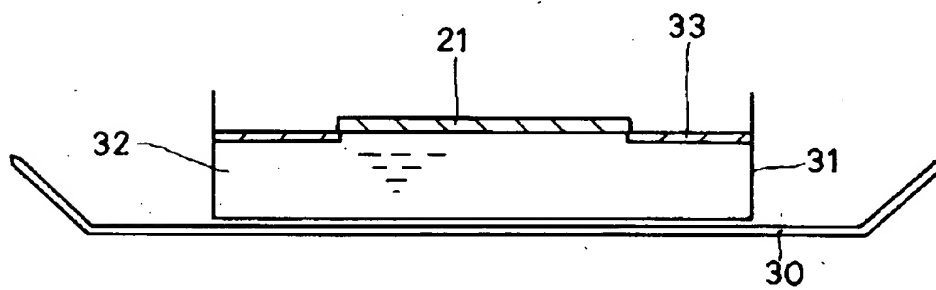
【図6】



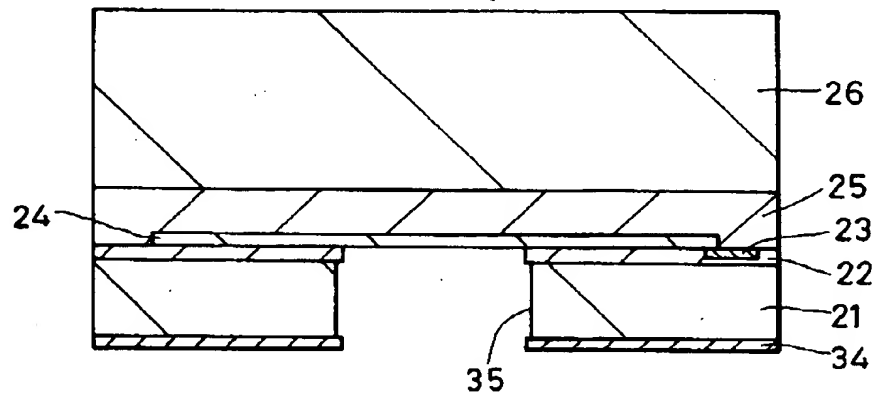
【図7】



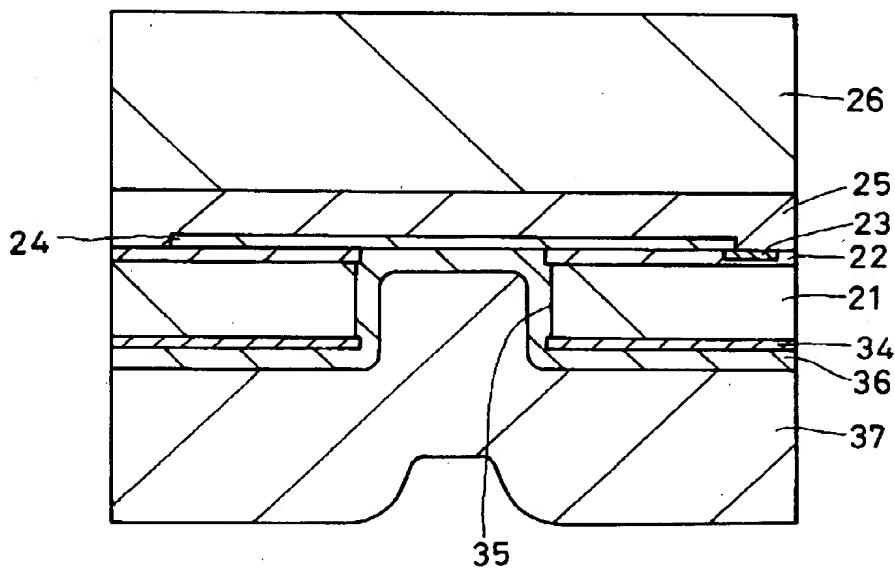
【図8】



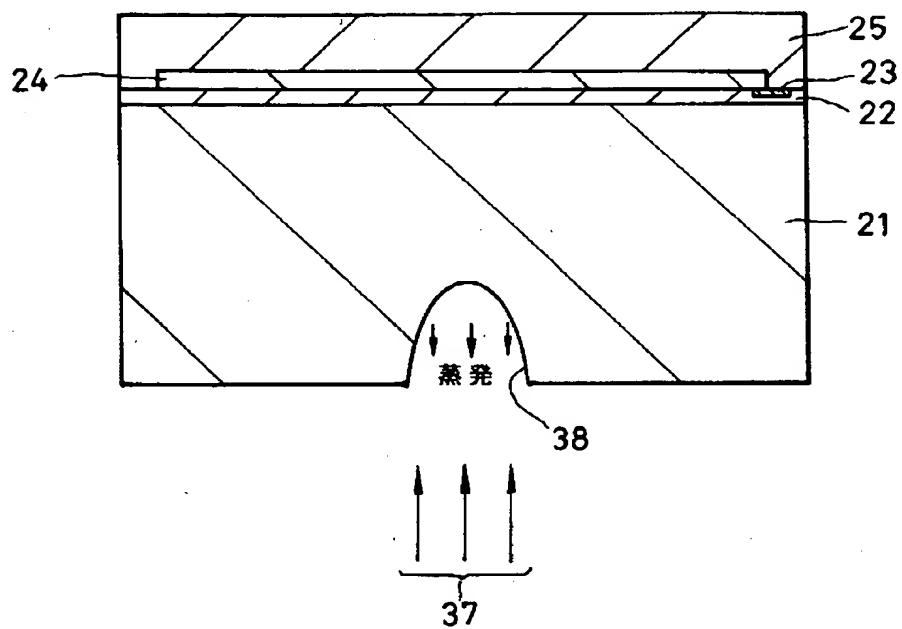
【図9】



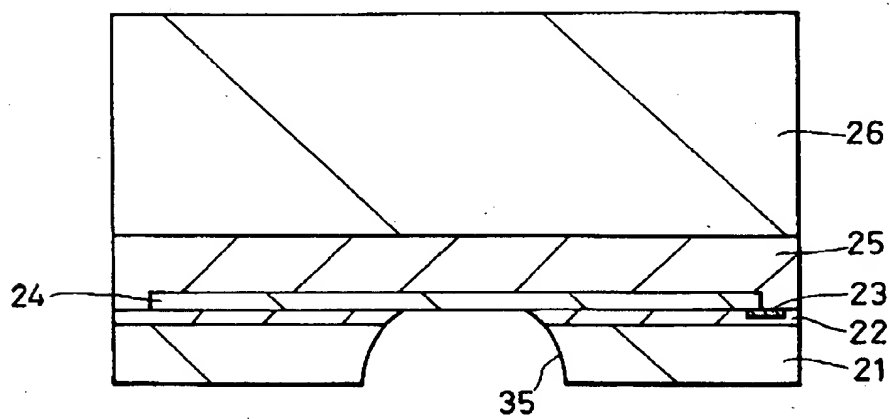
【図10】



【図11】



【図12】



【書類名】 特許願

【整理番号】 S970145854

【提出日】 平成 9年 5月28日

【あて先】 特許庁長官 荒井 寿光 殿

【国際特許分類】 H01L 29/772

【発明の名称】 半導体装置およびその製造方法

【請求項の数】 15

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 河合 弘治

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【代理人】

【識別番号】 100082762

【弁理士】

【氏名又は名称】 杉浦 正知

【電話番号】 03-3980-0339

【手数料の表示】

【予納台帳番号】 043812

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006427

【プルーフの要否】 要